

如何設計
符合電磁相容要求
的
印刷電路板

Printed Circuit Board
Design Techniques for
EMC Compliance



第 1 章 簡介	1
第 1 節 基本定義	1
第 2 節 EMC 與印刷電路板	2
第 3 節 北美之規範需求	5
第 4 節 世界之規範需求	5
第 5 節 另外之北美規範需求	6
第 6 節 補充說明	6
第 2 章 印刷電路板基本概念	7
第 1 節 LAYER『層』之堆疊分配	8
第 1 項 兩層板	9
第 2 項 四層板 (Four-layer boards)	11
第 3 項 六層板	12
第 4 項 八層板	14
第 5 項 十層板	16
第 2 節 20-H RULE	16
第 3 節 接地方式	18
第 1 項 單點接地	18
第 2 項 多點接地	19
第 4 節 接地及信號迴路	21
第 5 節 映像平面層 IMAGE PLANE	22
第 6 節 分割 PARTITIONING	25
第 7 節 邏輯族 LOGIC FAMILIES	26
第 8 節 傳輸速度 VELOCITY OF PROPAGATION	29
第 9 節 臨界頻率 CRITICAL FREQUENCIES ($\Delta/20$)	29
第 3 章 旁路及去耦合 BYPASSING AND DECOUPLING	31
第 1 節 諧振 (共振) RESONANCE	31
第 2 節 電容器之物理特性 CAPACITOR PHYSICAL CHARACTERISTICS	33
第 3 節 電容器數值之選擇	36
第 4 節 並聯電容器	37
第 5 節 電源及接地平面電容	38
第 6 節 電容器之接腳長度電感	40
第 7 節 PLACEMENT 零件放置	40
第 1 項 電源平面	40
第 2 項 電容器	41
第 3 項 大型電容	43
第 4 章 CLOCK 電路	45

第 1 節 PLACEMENT 零件佈置	45
區域性的接地平面	46
第 3 節 阻抗控制	47
第 4 節 傳輸延遲 PROPAGATION DELAY	50
第 5 節 電容性負載	51
第 6 節 去耦合 DECOUPLING	52
第 7 節 TRACE 之長度	53
第 8 節 阻抗匹配-反射	53
第 9 節 計算 TRACE 之長度	55
第 1 項 Microstrip	56
第 2 項 有負載之 stripline	57
第 10 節 佈線層 ROUTING LAYERS	58
第 1 項 佈線層 Routing layers	58
第 2 項 層間跳躍--貫穿孔之使用	61
第 11 節 護衛路徑/並聯路徑 GUARD/SHUNT TRACES	61
第 12 節 串音 CROSSTALK	65
第 13 節 TRACE TERMINATION	68
第 14 節 計算去耦合電容值	72
第 15 節 COMPONENTS 元件	74
第 16 節 TRACE 之分隔及 3-W 法則	75
第 5 章 輸出入及內部連接 INTERCONNECTS AND I/O	77
第 1 節 分割 PARTITIONING	77
第 1 項 功能上之子系統 Functional SubSystems	78
第 2 項 寧靜區 Quiet areas	78
第 3 項 內部之輻射雜訊耦合	79
第 2 節 隔離及分割（壕溝）ISOLATION AND PARTITION（MOATING）	79
第 1 項 方法一：以壕溝隔離 Isolation in moating	80
第 2 項 方法二：壕溝及橋 Bridge in a moat--partitoning	82
第 3 節 濾波及接地 FILTERING AND GROUNDING	84
第 1 項 濾波 Filtering	84
第 2 項 接地（I/O 連接器）	87
第 4 節 區域網路之 I/O LAYOUT	88
第 5 節 VIDEO 視訊區	91
第 6 節 AUDIO 音訊區	94
第 7 節 突波保護 ENERGY HAZARD PROTECTION（FUSING）	96
第 8 節 CREEPAGE 及 CLEARANCE 距離	97
第 6 章 靜電放電保護 ELECTROSTATIC DISCHARGE PROTECTION	98

第 1 節 基本概念 BASICS.....	98
第 7 章 BACKPLANES 及 DAUGHTER CARDS	104
第 1 節 基本 BASICS.....	104
第 2 節 路徑及分割 TRACES AND PARTITIONS.....	105
第 1 項 60 及 100 Ω 之路徑阻抗之範例.....	106
第 3 節 BACKPLANE 之結構.....	107
第 1 項 基本定義.....	107
第 2 項 項層的數目.....	112
第 3 項 連接器槽位 (Slots) 的數目.....	112
第 4 節 內部連接	113
第 5 節 機構	113
第 6 節 信號佈線	114
第 7 節 TRACE 之長度與信號之終端.....	114
第 8 節 串音	115
第 9 節 地迴路之控制.....	115
第 10 節 在 BACKPLANE 之接地破裂區間 (SLOTS)	116
第 8 章 額外的設計技術 ADDITIONAL DESIGN TECHNIQUES	118
第 1 節 轉彎角之佈線.....	118
第 2 節 如何選擇 FERRITE 元件.....	119
第 3 節 散熱片之接地 GROUNDED HEATSINKS	121
第 4 節 鋰電池電路	125
第 5 節 BNC 連接器	125
第 6 節 FILM 基板底片層.....	126
第 9 章 DESIGN TECHNIQUES 摘要—附錄 A.....	131
第 1 節 印刷線路板基本構成.....	131
第 2 節 旁路及去耦合.....	132
第 3 節 CLOCK 時脈信號	133
第 4 節 內部連接及輸入輸出.....	135
第 5 節 ESD 靜電放電保護	137
第 6 節 BACKPLANE AND DAUGHTER CARDS	138
第 7 節 更多的設計技術.....	139
第 1 項 角落之佈線方式.....	139
第 2 項 Ferrite 材料之選擇.....	139
第 3 項 散熱片接地 Grounded Heatsinks.....	140
第 4 項 鋰電池電路 Lithium Battery Circuits.....	140
第 5 項 BNC connector.....	140

第6項 Film 底片（基板材料層）	140
--------------------------	-----

第 1 章 簡介

本書是要幫助工程師們，減少來自於元件及電路之電磁干擾，以達到 EMC 之可接受程度。其談到以下兩個 EMC 之主要部分：

1. **Emission 輻射**：電磁干擾（EMI）之傳播，特別是 radiated 及 conducted 之射頻干擾（RFI）。
2. **Susceptibility 容忍度**：對於耐受性元件（Victims）有傷害之 EMI 效應，如靜電放電 ESD 或其他電器高壓。

設計人員之目的就是要給設計出符合要求，滿足國際之一般規範即一般工業標準的產品。本書主要是針對「非 EMI 之工程師」之 R/D 及 Layout 人員來對 PCB 作設計。EMC 工程師也會發現本書之資訊對於解決 PCB 階層之問題也很有幫助，在任何之設計專案中這些指導原則是很有用的。

電路之技術突飛猛進，幾年前的設計技術現今已不再適用於高速度之數位產品。但是在技術學校、訓練課程、講習會中很難找到 EMC 之相關資訊。因此基於此種緣故，本書是寫給那些從未在學校讀過 EMC，及對高速 PCB 設計相關之經驗有限之工程師們。

本書中僅有很少的數學分析，希望能提出一些簡易上手之技術，並能實際應用到真實產品中。其他更高深之研究或是如馬克斯威爾方程式等，可在其他之參考書籍中找到。

EMI 之控制不論在商業或軍規環境上都是一直很重要的性能。在 PCB 層面上壓制電磁干擾比「做一個較好的機殼」要來得便宜。屏蔽方式不一定合算且當系統擴充時不見得合用。例如，使用者可能把機殼拿掉以擴充介面卡，就不再把機殼或屏蔽材料恢復。同時，有適度考慮 EMC 之 PCB Layout 同時可以做到在 I/O Cable 上之 EMI 壓制，然而屏蔽封閉之方法則否。

第 1 節 基本定義

以下之幾個基本項目會在本書中使用到：

Electromagnetic compatibility (EMC) 電磁相容→產品能夠在一電磁環境中工作而不會降低功能或損害之能力。

Electromagnetic interface (EMI) 電磁干擾→電子產品中之電磁能量經由傳導或

輻射之方式傳播出去之過程。

Radio frequency (RF) 無線電頻率，射頻→通訊所用之頻率範圍，大約從 10KHz 到 100GHz。這些能量可以是有意產生的，如無線電傳發射器，或是被電子產品無意的產生的。RF 能量經由兩種模式傳播：

- ♣ **Radiated emissions (RE)** →此種 RF 能量的電磁場經由媒介面傳輸。RF 能量是一般在自由空間 (free space) 內傳播。然而，其他種類的「場型」也能發生。
- ♣ **Conducted emissions (CE)** →此種 RF 能量之電磁場經由導體媒介而傳播。一般是經由電線或內部連接電纜。Line conducted interface (LCI) 指的是在電源線上的 RF 能量。

Susceptibility 容忍度，耐受性→相對的測量產品暴露在 EMI 中混亂或受損害的程度。

Immunity 免疫力→相對的測量產品承受 EMI 之能力。

Electrical overstress (EOS) 電子過度高壓→當遇到高壓突波，產品承受到之損害或是功能喪失。EOS 包括雷擊以及靜電放電之事件。

Electrostatic discharge (ESD) 靜電放電→一種高壓脈波，可能使被影響之產品損害或失去功能，雖然雷擊也是一種高壓脈波，ESD 指的是為較少安培數，且由人體所觸發引起的。然而，在本書中，雷擊亦將視為 ESD 之類別，因其保護方式很相似，只是大小分別而已。

Radiated susceptibility (RS) 輻射耐受性→產品承受經由空間傳播而來的 EMI 之能力。

Conducted susceptibility (CS) 傳導耐受性→產品承受經由外接電纜、電源線、及其他 I/O cable 傳播而來的電磁能量之能量。

Containment 封閉，包圍→防止 RF 能量逸出一個封閉物體 (enclosure)，一般是以金屬屏蔽 (Farady cage)，或是用塑膠外殼再加以導電塗料。由相互原則，我們也可視 containment 為防止 RF 能量進入 enclosure。

Suppression 壓制→經由設計以在源頭端降低或消除 RF 能量，以使其不用依賴如金屬機殼等等之二階方法。

第 2 節 EMC 與印刷電路板

傳統上，EMC 被視為是一種「黑箱」藝術，實際上來說，EMC 可以用數學上之之

概念來解釋。一些方程式及公式過於複雜因此不在此討論，幸運的，還是可以用簡單的公式化來解釋如何能達成 EMC。

在 EMI 的誕生中有許多的變數，這是因為 EMI 是被動元件正常狀態行為以外的結果。電阻器在高頻表現就像是電感與電阻串聯且並聯一個電容。電容器在高頻表現就像是電感與電阻與電容串聯，電感器在高頻表現就像是電感與電容並聯，這些被動元件在高頻之不尋常行為如圖 1.1 所示。

這些行為特性一般稱之為「隱藏之電路 hidden schematic」。數位工程師一般假設這些元件有一個單一的頻率響應，結果，其根據時域之功能特性來選擇元件，而不管在頻域裡的實際表現，很多時候，當設計者彎曲或打破規則時，很多 EMI 情況就發生了。

一旦了解到這些隱藏之行為，就很容易可以設計出一個可以符合要求的產品了，同時也要考慮到主動元件之切換速度所帶來之隱藏行為，其中隱藏著有電感、電容、電阻元件。

設計一個能通過各國法規要求之產品並沒有一般人所認為的那麼困難。工程師希望設計優秀的產品出來，但優秀應有時候也要考慮到其他工程師之要求，譬如安全規格、生產成本、以及 EMC。此種理論問題可能被質疑，特別是如果工程師不了解所需符合項目之水準及種類。在本書中的一些指導原則可協助來移除「隱藏之電路」之謎思。

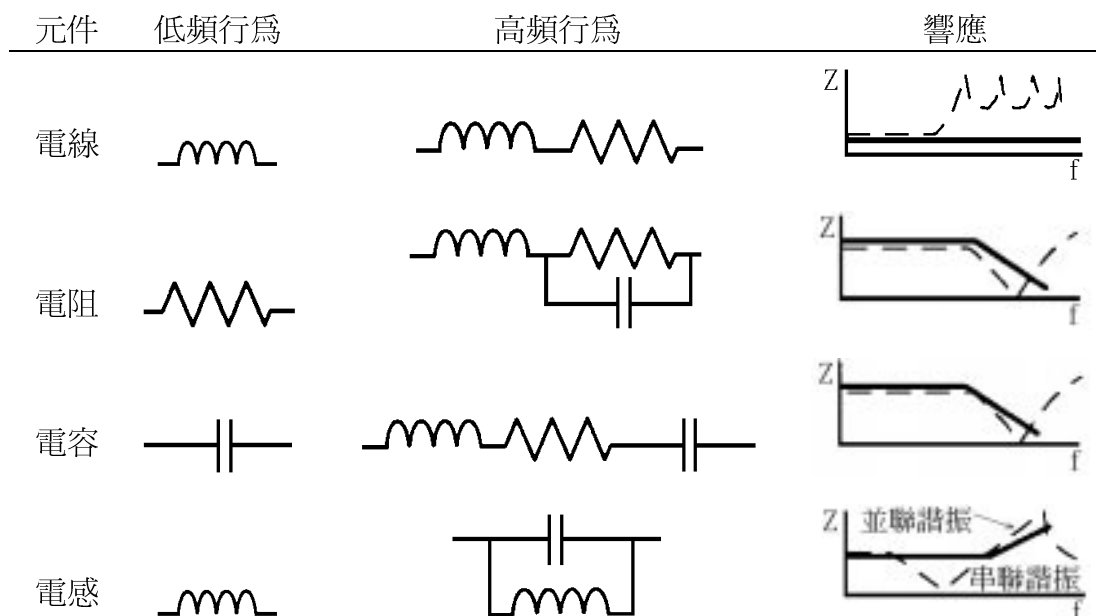


圖 1.1 元件在 RF 頻率範圍之特性

當一個 EMI 問題發生時，工程師應以邏輯性之分析來探討問題，描述 EMC 之模式需有三個元素：

3. 能量支援頭。
4. 被能量干擾之接受者。
5. 在源頭與接受者間之耦合路徑。

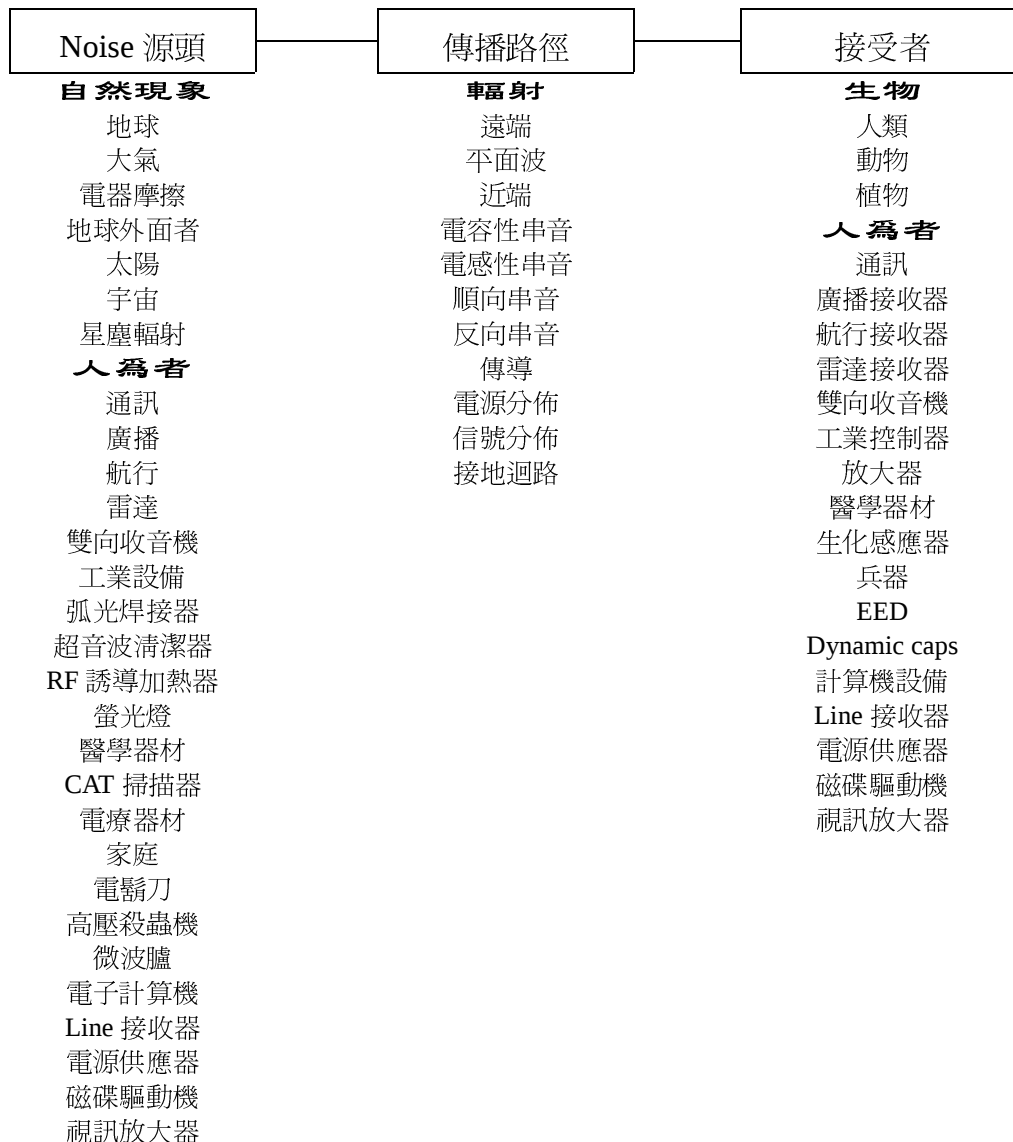


圖 1.2 EMC 環境之元素

要有干擾存在，這三個元素都會有份。如果移掉了其中之一，就沒有干擾的問題了。我們的工作就是先要決定哪一個是最容易移除的。一般而言，設計 PCB 以減低 RF 能量之源頭（suppression）是最經濟有效的方法；第二與第三項指的就與 containment 有關了。圖 1.2 解釋此三區域之關係以及列出相關之產品類別。一個產品必須要設計符合兩方面之要求：一是減低釋出之 RF 能量（emission），一是減低進入封裝內之能量（susceptibility 或 immunity），兩者都與輻射及傳導 EMI 有關，如圖 1.3 所示。

當處理 emission 時，第一個守則是：

頻率越高，越可能是輻射耦合之路徑；頻率越低，越可能是傳導耦合之路徑。

在 EMI 分析有五個主要考慮點，解釋如下：

1. **頻率**：產生問題的頻率在哪裡。
2. **強度（振幅）**：源頭能量有多強。其引起有害干擾之潛力有多大。
3. **時間**：是否連續的（clock 信號）或是只存在於一定之運作週期（例如，磁碟機之寫入動作）。
4. **阻抗**：源頭與接受者兩者之阻抗值各為多少？以及兩者之間傳輸機制之阻抗值為多少。
5. **大小（dimension）**：輻射物件之實體大小如何。RF 電流可經由等於波長整數倍之機殼縫隙逸出。在 PCB 上之 trace 長度也是 RF 電流之傳輸路徑。

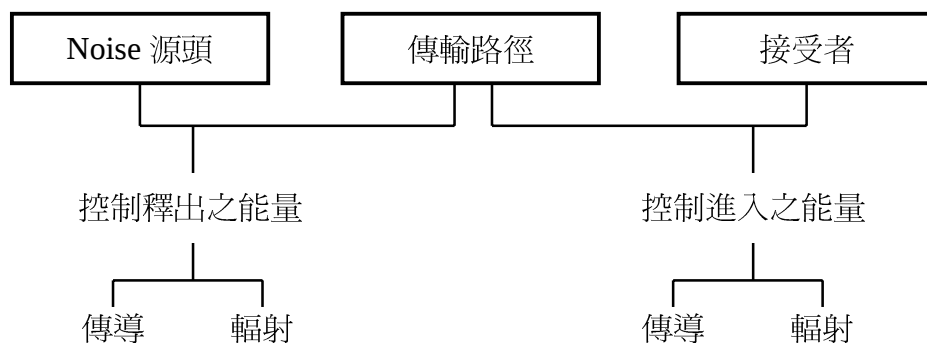


圖 1.3 耦合路徑

關於阻抗，如果源頭與接受者皆為相同阻抗，則它會比源頭與接受者為不同阻抗者，產生更大的 **emission** 問題。這是因為高阻抗之源頭對低阻抗之接受者有最小的衝擊影響。反之亦然，相同的源頭也可用在輻射耦合，高阻抗相對於電場，而低阻抗相對於磁場。

第 3 節 北美之規範需求

略

第 4 節 世界之規範需求

略

第 5 節 另外之北美規範需求

略

第 6 節 補充說明

除了 EMC 要求以外，也有產品安規之要求，這些包括了觸電及著火之危險。許多電路板上有高電壓及高電流，可能對用者產生危險。除此之外，過量之電流會產生熱，使得在電路板上使用之玻璃纖維材質燃燒或是融化，都有引起火災之可能。電路板使用的元件或是內部連接線可能含有油質，可能會在不正常狀況發生時燃燒起來。

本書附錄也是一個重要的部分，爲了要在實際電路板 Layout 時有些幫助，附錄 A（第九章）摘錄了前面章節之重點，也交叉參照到其代表之章節，可作爲一快速的審視設計概要。

第 2 章 印刷電路板基本概念

當設計一個電路板時，首先要考慮的是需要多少佈線層（routing layer）及電源平面（在可接受的成本價格內）。層數之決定在於功能規格、雜訊免疫力、信號分類、需佈線之 net、trace 數目、阻抗之控制、VLSI 元件密度、匯流排之佈線，等等。適當使用 microstrip 及 stripline 方式以在 PCB 層面壓制射頻輻射。在 PCB 層面壓制射頻輻射更勝於在機殼或金屬塗裝之塑膠殼上下工夫，使用埋入於 PCB 內之平面（Ground 或 Vcc）是壓制 PCB 內 Common-mode RF 之重要方法之一，理由是這平面會降低高頻電源分佈阻抗（power distribution impedance）。圖 2.1 顯示出兩個主要分類 microstrip 及 stripline 之差異，描述如下：

♣ Microstrip：

意指 PCB 之外層 trace，經一介電物質鄰接一整片平面（solid plane）。Microstrip 方式提供 PCB 上之 RF 壓制，同時也可容許比 stripline 較快之 clock 及邏輯訊號。此較快之 clock 及邏輯訊號是因為較小之耦合電容及較低之空載傳輸延遲。Microstrip 的缺點是此 PCB 外部信號層會輻射 RF 能量進入環境，除非在此層之上下加入金屬屏蔽。

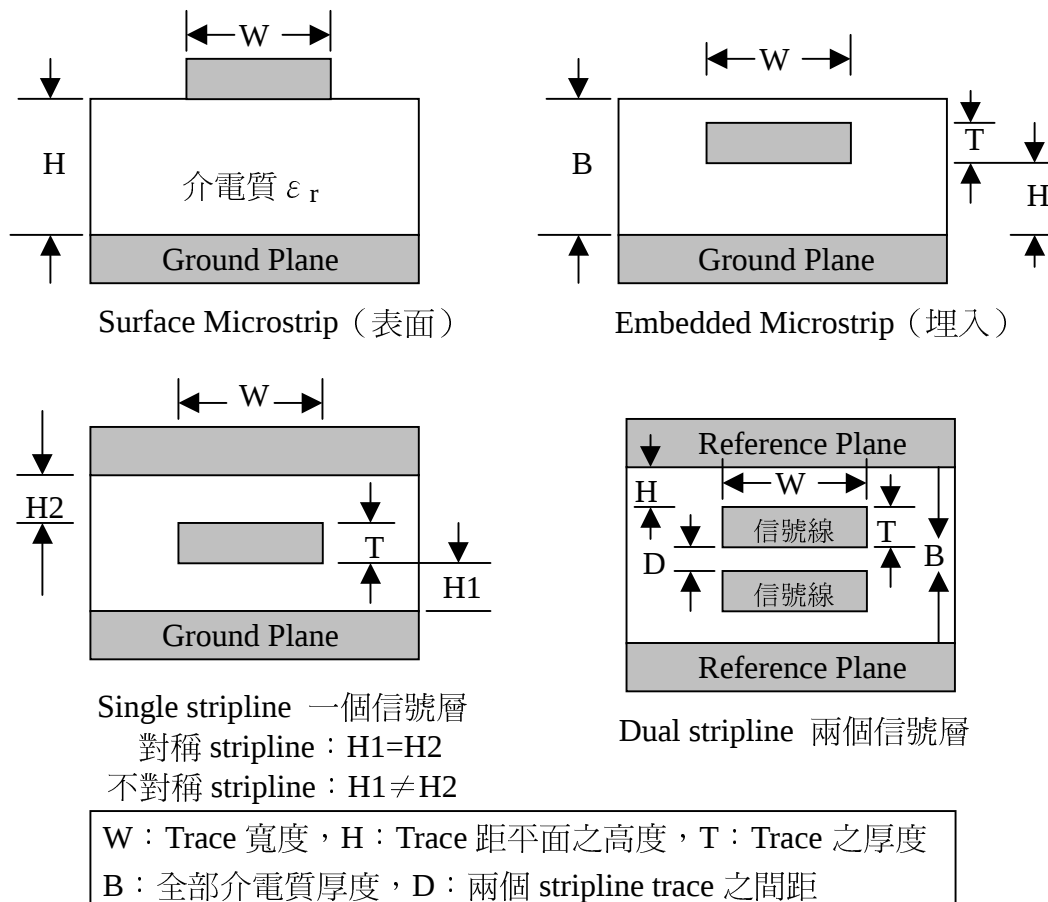


圖 2.1 microstrip 及 stripline 之方式

♣ **Stripline :**

信號層介於兩個 solid planes (Voltage 或 Ground) 之間。Stripline 可達到較佳之 RF 輻射防制，但只能用在較低之傳輸速度，因信號層介於兩個 solid planes 之間，兩平面間會有電容性耦合，導致降低高速信號之邊緣速率(edge rate)。Stripline 之電容耦合效應在邊緣速率快於 1ns 之信號較為顯著，使用 Stripline 的主要效應是對內部 trace 之 RF 能量之完整屏蔽，因而對射頻輻射有較佳之抑制能力。

要注意的是輻射仍然會從其他元件產生，雖然內部之 trace 可不令其產生輻射，其它之內部連線 (bond 接線、元件腳、插座、內部連線以及其他類似者) 仍會產生問題。隨著系統、元件、trace 之阻抗，會存在阻抗不匹配 (impedance mismatch) 之問題，此不匹配之阻抗會使 RF 能量由內部 trace 耦合至其他電路或是自由空間 (free space)。使元件之接腳電感最小 (minimizing lead impedance) 可降低輻射現象。

第 1 節 Layer 『層』之堆疊分配

下列之分配方式是對選擇 PCB 之堆疊方法之指引，這些分配方式並非一成不變的，可依功能要求及所需繞線層數之需要有所適當修改。需把握之重點關鍵是每一個繞線層 (routing layer) 必定要相鄰一個完整平面 (solid plane)。表 2.1 歸納了這些堆疊方式。

Layer #	1	2	3	4	5	6	7	8	9	10	Comments
2 Layers	S1	S2									低速設計
	G	P									
4 Layers (2 routing)	S1	G	P	S2							不易保持高信號阻抗及低電源阻抗
6 Layers (4 routing)	S1	G	S2	S3	P	S4					低速設計，差的電源，高信號阻抗
6 Layers (4 routing)	S1	S2	G	P	S3	S4					Critical 信號放在 S2
6 Layers (3 routing)	S1	G	S2	P	G	S3					低速信號放在 S2-S3
8 Layers (6 routing)	S1	S2	G	S3	S4	P	S5	S6			高速信號放在 S2-S3，較差之電源阻抗
8 Layers (4 routing)	S1	G	S2	G	P	S3	G	S4			最佳之 EMC
10 Layers (6 routing)	S1	G	S2	S3	G	P	S4	S5	G	S6	最佳之 EMC，S4 對電源雜訊容忍度高
S=Signal routing layer 信號佈線層 P=Power G=Ground											

表 2.1 板層堆疊分配之例子

第 1 項 兩層板

對於兩層板，有兩種 Layout 方式，一是較老之技術，用於低速之元件，一般包含 DIP 包裝之元件成排或成矩陣狀排列，現今已很少用了。第二種是現今典型之應用方式。

第一種方式（圖 2.2）

- ♣ 將 Power 及 Ground 以格狀 Layout，使形成之每一格之總環路面積小於 1.5 吋平方。
- ♣ Power 及 Ground 之 Trace 以 90° 角分佈，Power 在一層而 Ground 在另外一層。
- ♣ Ground Trace 置於頂層，垂直走向；Power Trace 置於底層，水平走向。
- ♣ 在每一 Ground 及 Trace 交接處及每一個 IC，放置 decoupling 電容。

第二種方式（圖 2.3）

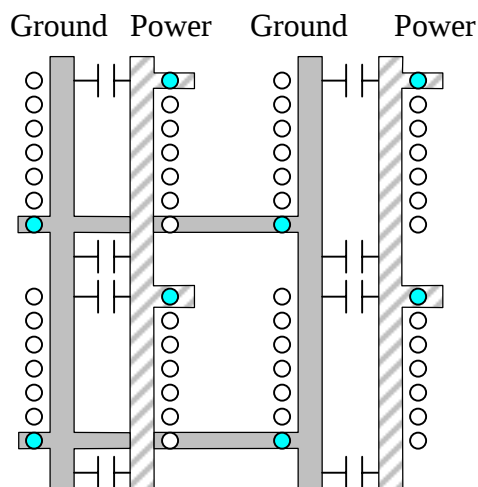
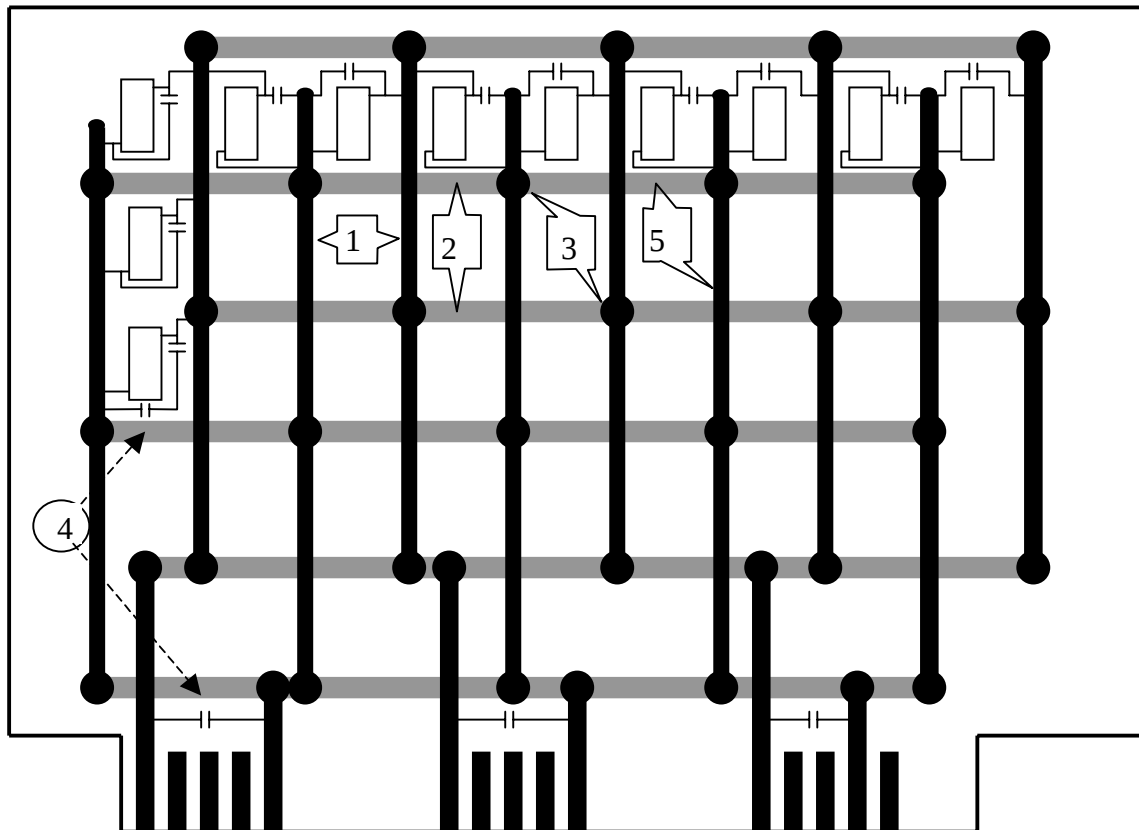
此種規劃方式常用於低於 10KHz 之低頻類比設計。

- ♣ 將 Power Trace 在同一佈線層以輻射狀拉線，由電源處至每一元件，減少所有 Trace 之總長度。
- ♣ 將所有 Power 及 Ground Trace 相鄰平行佈線，此可使得由來自高頻切換雜訊（switching noise，元件內部）之環路電流最小，因而不會衝擊其他電路及控制信號。這些 Trace 會分開的唯一情況是當要連接到 decoupling 電流時，信號流向應與 Ground 路徑並行。
- ♣ 避免不同之「樹枝」互相交錯，以免造成 Ground Loop。

審視圖 2.3，低頻寄生電感及電容通常不會產生問題。在此情況下，建議可採用單點接地方式。換言之，在低頻應用上，藉 layout 達成高頻之表現（performance）。

注意以下兩點：

- ♣ 在高頻應用，控制所有信號路徑及其回返電流路徑之表面阻抗（surface impedance，Z）。
- ♣ 在低頻應用上，以控制 layout 形狀（Topology）而非阻抗。
- ♣ 圖 2.4 解釋在兩層板元件要以此方式放置之理由。此方式造成由高頻寬元件（CPU）至低速元件（I/O）之輻射狀移動（radial migration）。此輻射狀移動意指：當電路由高頻寬區至低頻寬區域傳遞，在 Trace 上會有傳輸延遲（Propagation delay）越見緩慢之現象，因此到 I/O connector 時有較佳之 EMI 表現。此信號傳輸越見緩慢之現象之發生是因為每一元件皆有內部電容及傳輸延遲之故。每一元件讓信號之 edge rate t_r 慢一點，當信號由 CPU 至 I/O 傳遞，此 delay 一直累積，如同濾波器之作用一般。



1. 板上層全為垂直走線
2. 板子下層全為水平走線
3. 貫穿孔為水平及垂直交點
4. 每一 IC 及相交之 power 及 ground 間有耦合電容
5. 信號線隨著水平及垂直圖形走

圖 2.2 兩層板 PCB 使用格狀電源佈線

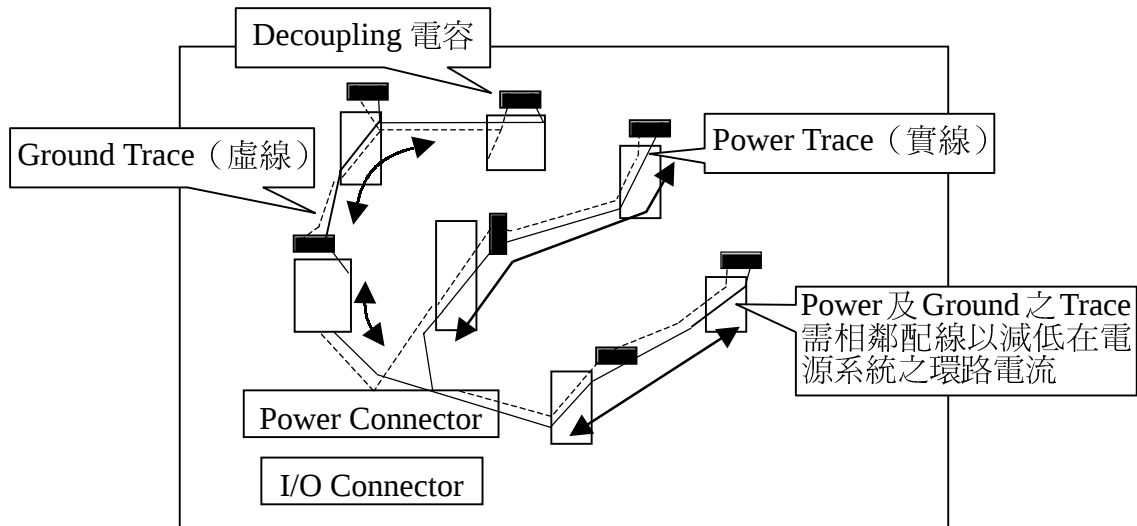


圖 2.3 兩層板 PCB 使用輻射狀電源及信號拉線

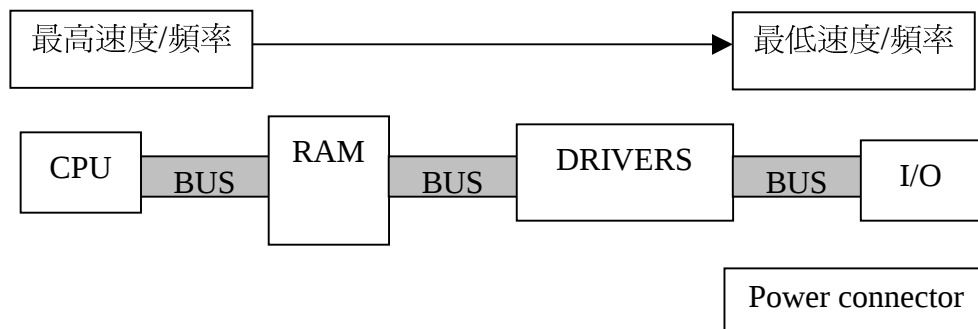


圖 2.4 輻射狀之傳遞 Radial Migration

第 2 項 四層板 (Four-layer boards)

四層板之堆疊只有一種方式。因使用 Power 及 Ground 平面層， EMI 之特性有很大之改善。然而，四層板對產生自電路及 Trace 之 RF 電流通量消除之效果並不好。圖 2.5 解釋此種堆疊方式。

- ♣ 第一層，Component side，信號及 Clocks
- ♣ 第二層，Ground Plane
- ♣ 第三層，Power Plane
- ♣ 第四層，Solder side，信號及 Clocks

1	Signal 1	Best layer for flux cancellation(slow speed signals)
2	Ground	↓
3	Power	Use smallest distance for lower power impedance
4	Signal 2	↑
		May exhibit poor flux cancellation

圖 2.5 四層板之堆疊

根據以下之堆疊理論，可得知當有多於三個完整平面提供的話（即一個 power 兩個 ground）。將最高速 clock 佈線於相鄰 ground plane 且不相鄰於 power plane，可得最佳之 EMI 效果。此為在 PCB 上 EMI 抑制之基礎觀念，應牢記之。

多層板可提供具優良 EMC 特性之信號品質，因為經由 microstrip 及 stripline 可有較佳之信號阻抗控制。Power 及 Ground Plane 之分佈阻抗（distribution impedance）應儘可能降低，這些平面含有來自於「Logic crossover」之極短暫的突波電流，及信號與匯流排之電容負載。Microstrip 及 Stripline 應用之主要意義是在於磁通量之互相抵消（flux cancellation）使得傳輸線之電感降低。多數的邏輯族在其 pull-up/pull-down 電流比可能極不平均，此使得 flux cancellation 之效果在信號及 Ground plane 之間比信號及 power plane 之間要好。因之，使用 Power plane 做 flux cancellation 控制不能達到最佳效果，結果會導致信號通量相位偏移、增大電感、差的阻抗控制及雜訊之不穩定。故應使用 Ground Plane 較佳。

簡短的重述 PCB flux cancellation 之重要概念，並非所有元件的 pull-up/pull-down 電流比都是一樣。舉例來說，有的元件是 15mA Pull-up/65mA Pull-down，有的元件是 65mA Pull-up/65mA Pull-down，此不均之狀況造成 Ground 及 Power Plane 之不平衡。Board-level 之 EMI 抑制之基本概念是根據於：在 board trace、元件、電路相對於平面間之 RF 電流之磁通互相抵消。由於會有磁通相位偏移之故，Power plane 表現不如 Ground plane 好。因此，將重要、高速之 trace 佈線在緊鄰 Ground plane 會比鄰近於 Power plane 較好。

第 3 項 六層板

在六層板之應用上有以下三種常用之組態：

Configuration I.

對 clock 信號及高頻元件，較常用之方式，（四層佈線層）。

- ♣ 第一層，component side，microstrip 信號佈線層
- ♣ 第二層，Ground plane
- ♣ 第三層，Stripline 佈線層
- ♣ 第四層，Stripline 佈線層
- ♣ 第五層，Power plane
- ♣ 第六層，solder side，microstrip 信號佈線層

1	Signal 1	唯一安全之佈線層
2	Ground	
3	Signal 2	差的電源平面阻抗
4	Signal 3	
5	Power	差的磁通抵銷（對信號 3 及信號 4）
6	Signal 4	

在信號 2、3、4 上有差的 noise margins，因為電源通量要經由 Signal 2 至 Ground 移動

圖 2.6 六層板之 PCB 堆疊，Configuration I

Configuration II.

此方式有較佳之特性，因為在 Ground 及 Power 平面間有較好之層間 decoupling（四層佈線層）。

- ♣ 第一層，component side，microstrip 信號佈線層
- ♣ 第二層，埋入之 microstrip 佈線層
- ♣ 第三層，Ground plane
- ♣ 第四層，Power plane
- ♣ 第五層，埋入之 microstrip 佈線層
- ♣ 第六層，solder side，microstrip 信號佈線層

1	Signal 1	差的磁通抵銷
2	Signal 2	好的磁通抵銷
3	Ground	
4	Power	Power 及 Ground 間低的電源阻抗
5	Signal 3	差的磁通抵銷
6	Signal 4	差的磁通抵銷

圖 2.7 六層板之 PCB 堆疊，Configuration II

Configuration III.

此方式有最佳之特性，對所有佈線層有較好之 flux cancellation，以及有較低的電源平面阻抗（三層佈線層）。

- ♣ 第一層，component side，microstrip 信號佈線層
- ♣ 第二層，Ground plane
- ♣ 第三層，Stripline 佈線層，下跟著填充物質（fill material）

- ♣ 第四層，Power plane
- ♣ 第五層，Ground plane
- ♣ 第六層，solder side，microstrip 信號佈線層

1	Signal 1	極好的佈線層（X 方向）
2	Signal 2	好的磁通抵銷，X-Y Paired Trace
3	Ground	極好的佈線層（Y 方向） 填充物質 (fill material)
4	Power	
5	Signal 3	低的電源阻抗
6	Signal 4	好的磁通抵銷

圖 2.8 六層板之 PCB 堆疊，Configuration III

第 4 項 八層板

有兩種分配方式，第一種組態提供較少之通量抵消，第二種組態因有較多之完整平面，提供最大之通量抵消。決定使用第一或第二種方式是基於所須佈線之 nets 數量，元件密度（接腳數），匯流排結構之大小，類比及數位電路，及可用之面積。

Configuration I.

因在電源及接地平面有較差之通量抵消，此方式為較差之堆疊方式，其有六層佈線層，如圖 2.9。

- ♣ 第一層，Component side，microstrip 信號佈線層
- ♣ 第二層，埋入之 microstrip 信號佈線層
- ♣ 第三層，Ground plane
- ♣ 第四層，Stripline 佈線層
- ♣ 第五層，Stripline 佈線層
- ♣ 第六層，Power plane
- ♣ 第七層，埋入之 microstrip 信號佈線層
- ♣ 第八層，Solder side，microstrip 信號佈線層

1	Signal 1	
2	Signal 2	極好的佈線層（X 方向）
3	Ground	X-Y Paired Trace
4	Signal 3	極好的佈線層（Y 方向）
5	Signal 4	差的磁通抵銷
6	Power	
7	Signal 5	第五及第六層有差的 noise margin，因為電源通量
8	Signal 6	要經由第三四層移動而回到 Ground

圖 2.9 八層板之 PCB 堆疊，Configuration I

Configuration II.

對 RF 電流有較緊密之磁通量抵消，此方式為較佳之堆疊方式。其有四層佈線層及四層平面層，如圖 2.10。

- ♣ 第一層，Component side，microstrip 信號佈線層
- ♣ 第二層，Ground plane
- ♣ 第三層，Stripline 佈線層
- ♣ 第四層，Ground plane
- ♣ 第五層，Power plane
- ♣ 第六層，Stripline 佈線層
- ♣ 第七層，Ground plane
- ♣ 第八層，Solder side，microstrip 信號佈線層

1	Signal 1	極好的佈線層（X 方向）
2	Ground	X-Y Paired Trace
3	Signal 2	極好的佈線層（Y 方向） 填充物質（fill material）
4	Ground	
5	Power	電源及接地面間極佳的磁通抵銷 填充物質（fill material）
6	Signal 3	極好的佈線層（X 方向）
7	Ground	X-Y Paired Trace
8	Signal 6	極好的佈線層（Y 方向）

圖 2.10 八層板之 PCB 堆疊，Configuration II

第 5 項 十層板

使用六層佈線層及四層平面層，如圖 2.11。

- ♣ 第一層，Component side，microstrip 信號佈線層
- ♣ 第二層，Ground plane
- ♣ 第三層，Stripline 佈線層
- ♣ 第四層，Stripline 佈線層
- ♣ 第五層，Ground plane
- ♣ 第六層，Power plane
- ♣ 第七層，Stripline 佈線層
- ♣ 第八層，Stripline 佈線層
- ♣ 第九層，Ground plane
- ♣ 第十層，Solder side，microstrip 信號佈線層

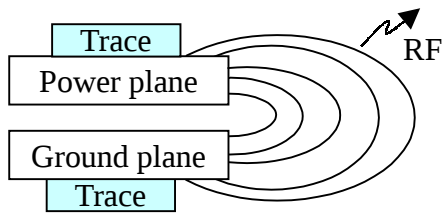
1	Signal 1	極好的佈線層（X 方向）
2	Ground	X-Y Paired Trace
3	Signal 2	極好的佈線層（Y 方向）
		填充物質 (fill material)
4	Signal 3	極好的佈線層（X/Y 方向）
5	Ground	
6	Power	電源及接地面間極佳的磁通抵銷
7	Signal 4	差的磁通抵銷之佈線層
		填充物質 (fill material)
8	Signal 5	極好的佈線層（X 方向）
9	Ground	X-Y Paired Trace
10	Signal 6	極好的佈線層（Y 方向）

圖 2.11 十層板之 PCB 堆疊

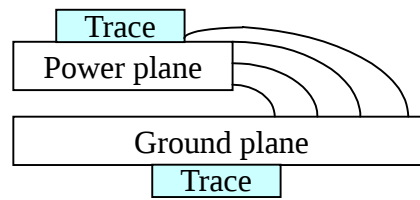
第 2 節 20-H Rule

由於磁通之連結，RF 電流存在於 Power plane 之邊緣，此種層間耦合作用稱之為『fringing』，通常僅見於高速 PCB。當使用高速邏輯及 clock 時，電源平面間會互相耦合 RF 電流且輻射至空間中。要減低此效應，所有電源平面應較相鄰之地平面小（依照 20-H Rule）。圖 2.12 指出從 PCB 邊緣引起之 RF fringing。

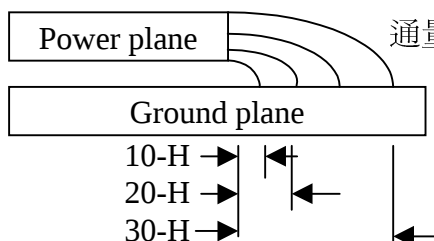
使用 20-H Rule 會提高 PCB 之本質自諧振頻率 (self-resonant frequency)。電源分佈臨界效應發生在 10-H 左右，20-H 代表約 70%之通量邊界 (flux boundary)。要達到 98%之通量邊界須 100-H。



Power 及 Ground 平面在邊緣產生 fringing 現象，發生 RF Emission



RF 電流不會由板子邊緣 fringing，不會發生 RF Emission



通量邊界 (flux boundary)

在 10-H 時，此平面之阻抗變化開始發生。
在 20-H 時，達到 70%之通量邊界。
在 100-H 時，達到 98%之通量邊界

圖 2.12 從 PCB 邊緣引起之 RF fringing

要導入 20-H Rule，要先知道 power plane 與其最鄰近之 ground plane 之實體距離。此距離包括 core 之厚度、prepreg filler 之厚度、及 PCB 裝配之隔離距離。假設此平面間之距離為 0.006 吋，則得到 20-H 為 $20 \times 0.006 \text{ 吋} = 0.120 \text{ 吋}$ 。Power 平面應小於 ground 平面 0.120 吋，若有元件之 power 接腳在此一（無銅箔面）區域內，power 平面可以突出一點以連接至該元件。如圖 2.13。

當使用 20-H Rule 時，在相鄰之信號層之任何在此無銅箔面區域上之佈線應重新佈線，使其可相鄰一完整平面層（Power 或 ground），沒有例外。適切之使用此法是極為重要的，即『20-H』及『佈線在完整平面之上』。

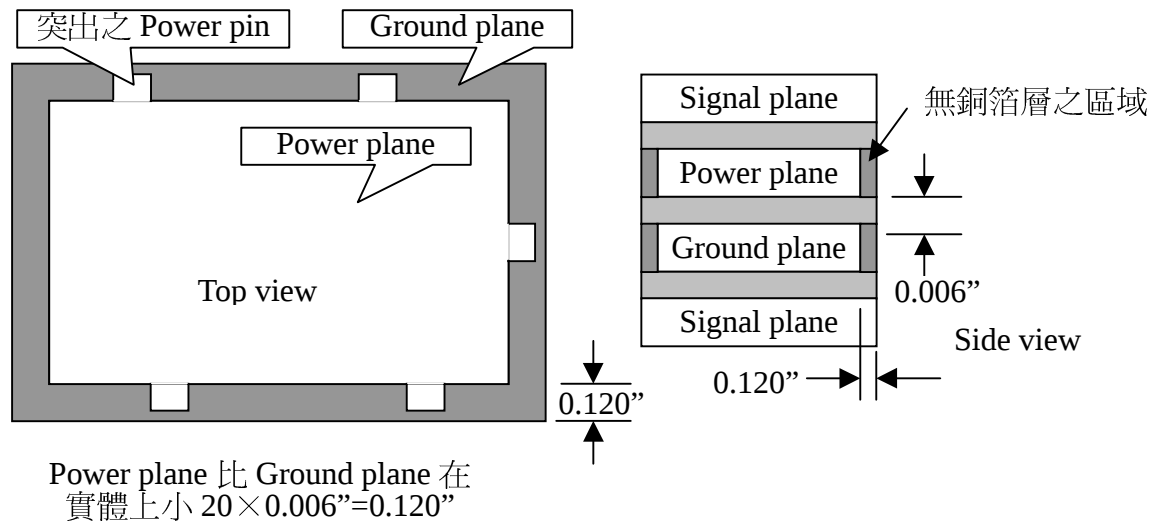


圖 2.13 使用 20-H Rule

如果 PCB 有規劃區分一些子系統分割，則亦應將 20-H Rule 應用在高頻區域（CPU 部份、Ethernet、SCSI 等）。當對數位、類比部份應用隔離或濾波時，20-H 之用法如圖 2.14 所示。

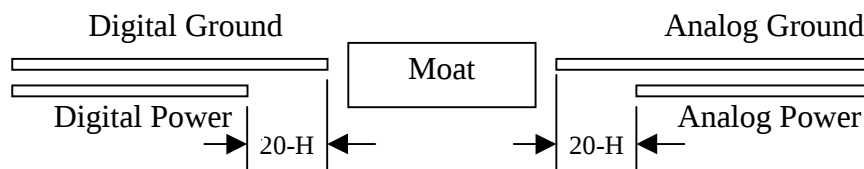


圖 2.14 20-H Rule 之應用及電源平面之隔離

第 3 節 接地方式

很多種接地方式曾被提出討論，包括 digital、analog、safety、signal、noisy、quiet、earth、single-point、multi-point 等等。Ground 系統必須仔細設計及定訂規格，而非靠運氣。長遠來看，良好之接地是最經濟有效的方式。在 PCB 之設計上，可使用兩種接地方式：單點及多點接地。接地方式之選擇是依產品應用而定。在應用多點接地之產品，切勿混用單點及多點接地，除非有使用隔離（isolation）或是依功能區分之子系統。圖 2.15 說明三種接地方式。

第 1 項 單點接地

當元件電路及信號連線之速度在 1MHz 以下時，單點接地是最好之方式。在較高之頻率，連線 Trace 之電感會增加 PCB 之阻抗。在更高之頻率，power 平面及 trace 之阻抗變得不可忽略。如果 trace 之長度等於或接近信號的四分之一波長之奇次倍，此阻抗會是非常的高。注意到：只要 trace 或是 ground 導體具高阻抗，它就會像是天線般輻射 RF 能量。在 1MHz 以上頻率，一般不使用單點接地。

應用單點接地通常是信號以輻射狀傳遞，產品如音頻線路、類比儀器、60Hz 及 DC power 系統，及裝設在塑膠殼內之系統。雖然單點接地通常用在低頻產品上，在高頻電路或系統上偶而也會發現。

在 CPU 主機板或 adapter (daughter card) 使用單點接地會導致 ground plane 及 metal chassis 之間之環路電流 (loop current) 發生。環路電流產生磁場，磁場產生電場，而造成 RF 電流。在個人電腦及類似器材上是幾乎不可能採用單點接地。因為不同的子系統及周邊在不同之位置直接接到金屬機殼，造成許多 loop 結構，在 chassis 及 PCB 之間產生許多分佈之轉換阻抗，多點接地方式使這些環路分散在廣大區域中，使其較不會造成問題（因可以控制及引導而不會令能量隨意移轉）。

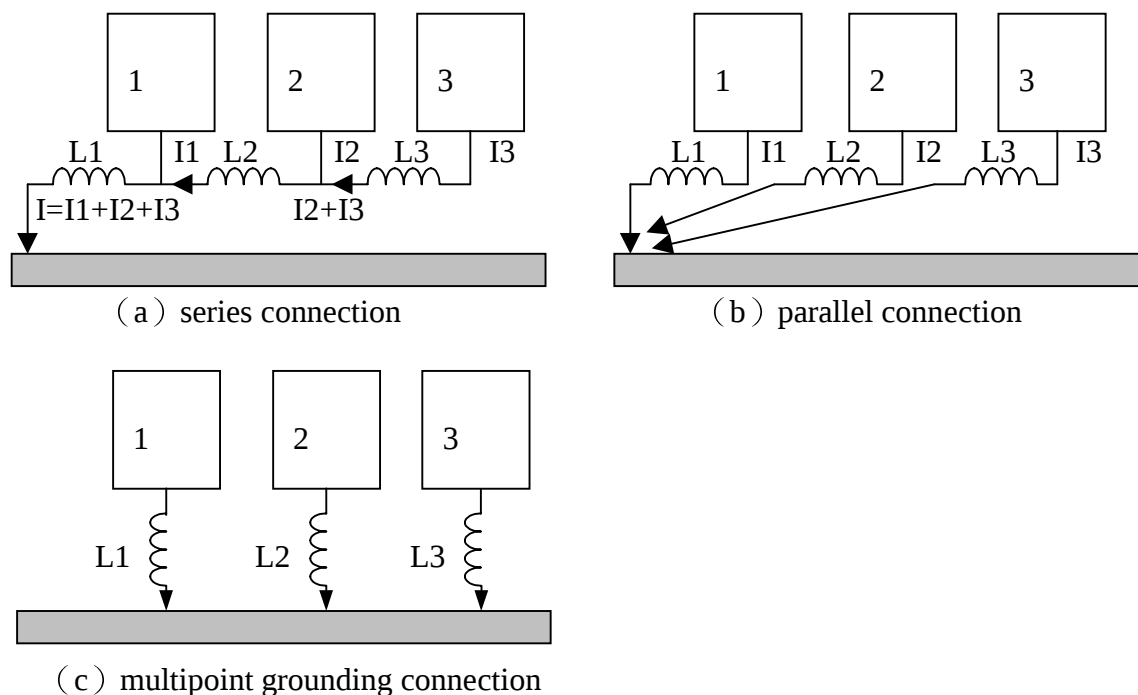


圖 2.15 三種不同之接地方式

第 2 項 多點接地

高頻產品設計通常是使用多點機殼接地。多點接地，將 RF 電流並連由 Ground plane 至機殼之地，可減低由 PCB 電源平面看出來之地阻抗。完整平面之低電感特性造成低的平面阻抗。在很高頻之電路上，零件之接腳應盡量減短。Trace 的長度使電路上之電感增加，約每吋 15-20nH，視 trace 寬度及高度（距平面）。此電感及（地平面及機殼間之）雜散電容使得發生諧振狀況。此電容 C 在第三章會再討論，電感 L 則在第四章會再討論。

$$f = \frac{1}{2\pi\sqrt{LC}} \quad (2.1)$$

此處

F = 諧振頻率 (Hz)

L = 電路之電感
C = 電路之電容

方程式 (2.1) 提出了頻域上之考慮點。雖然公式很簡單，但須要知道如何計算 L 及 C。第三四章會再深入討論。以圖 2.16 來印證方程式 (2.1)，圖中顯示出在 PCB 以及 mounting plane 之間的電容及電感。總是會有電容及電感存在，與 power plane 之諧振頻率有關，會產生環路電流並且耦合至鄰近之其他電路板、或是 chassis housing、內部 cable、周邊元件、I/O 電路及連接器、或至空間中。

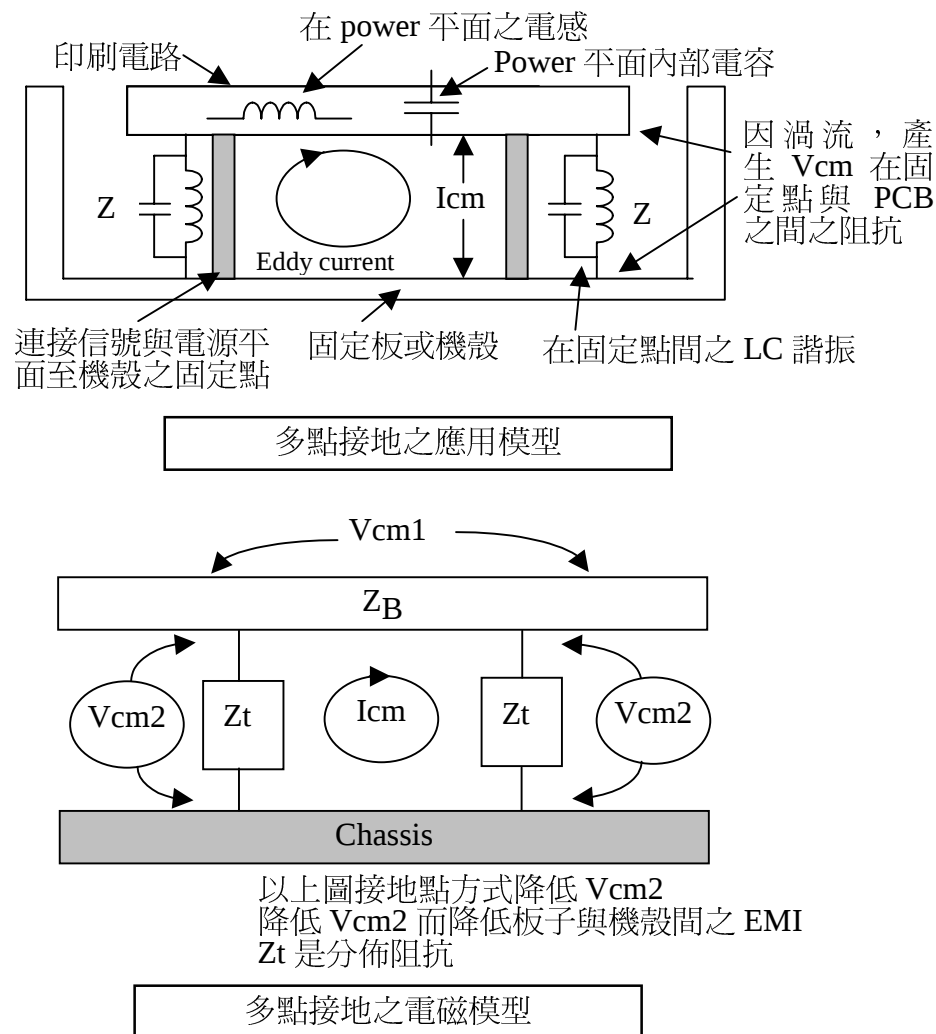


圖 2.16 分布電場轉移之諧振

除了平面中之電感以外，長的 trace 同時也像是天線一般，特別是對 clock 信號及其它周期性脈波而言。將 trace 電感降低及減少 trace 造成之 RF 電流，可以達成良好之信號品質及 RF 壓制。

數位電路必須視為是高頻的類比電路。含有許多邏輯電路之 PCB 須要有一個好的低感量之接地。PCB 內之 Ground 平面（非 Power 平面）通常提供給電源及信號電流一個低電感之地迴返路徑，這使得在內部信號連接上可以用固定阻抗之傳輸線。

當將 ground plane 與 chassis plane 接在一起時，即提供 RF 電流之高頻 decoupling。這些 RF 電流是由平面與信號間造成之諧率產生的。使用高品質之旁路（bypass）電容，通常為 0.1uF 與 0.001uF 並聯在每一個電源平面與地平面之連接處。Chassis ground 要直接接到 PCB 之 ground plane，以減低存在於 board 及 chassis 之間的 RF 電壓和電流，如此使磁場環路減小（小於最高 RF 產生頻率之 20 分之 1 波長），達到最佳之 RF 壓制。

第 4 節 接地及信號迴路

在 RF 能量的傳遞上，環路（Loop）是主要的貢獻者。RF 電流會試圖經由任何存在的路徑或媒介以回到其源頭：如元件、導線、地平面、相鄰的 trace 等等。Source 與負載間之迴返路徑上，會產生 RF 電流。這是由於兩個地間之電壓準位不同所致，與負載間之電感無關。然而，電感會使得 source 與 victim 之間產生 RF 電流之磁場耦合。

在 PCB 上之 EMI 壓制，最重要之考慮點在於地或信號迴返路徑之控制。應分析每一固定孔位（PCB 與 chassis ground 之固著機構，如銅柱）與 noisy 電路之 RF 電流之影響。永遠把高速電路及振盪器置於離銅柱越近越好。

在電腦及配接卡使用單點接地所形成之環路之範例如圖 2.17。可看到存在有一很大的信號迴返環路區域。每一個環路會造成一區域電磁場。RF 電流會在某一獨特頻率建立電磁場，此時須使用一些圍堵（containment）之方法使這些 RF 便電流不致 coupling 至其他電路或輻射至外部環境造成 EMI 問題，故應避免產生內部之 RF 迴路電流。

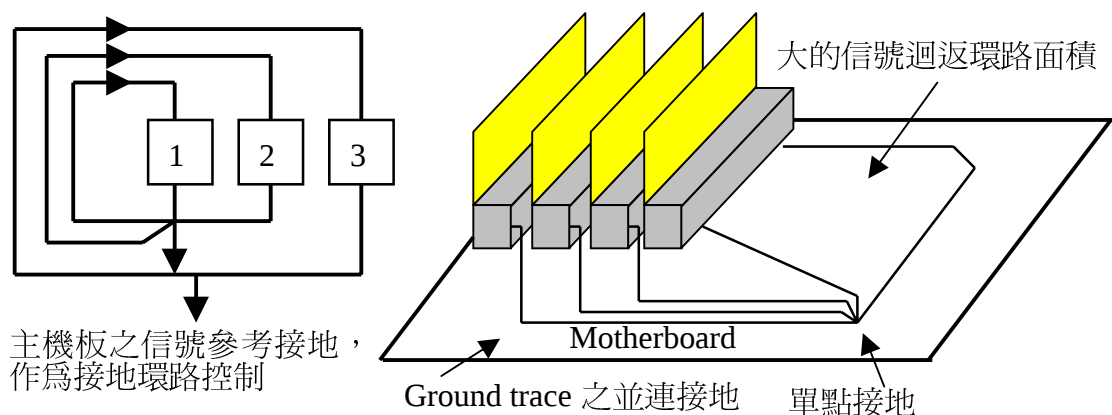


圖 2.17 接地環路控制

舉例來說，64MHz 振盪器之 $\lambda/20$ 為 23cm。如果任兩個接地螺絲銅柱間之距離大於 23cm，則就有 RF 環路存在，此環路會是 RF 能量傳播之來源，使得 EMI 發生問題。除非另採用持別對策，要控制來自於不良環路之 RF 電流是不可能的，如此可能就要用圍堵之辦法（如金屬箔片），金屬箔片是一種昂貴的繃帶，也並不是絕對有效。

一個 aspect ratio 之範例如圖 2.18.

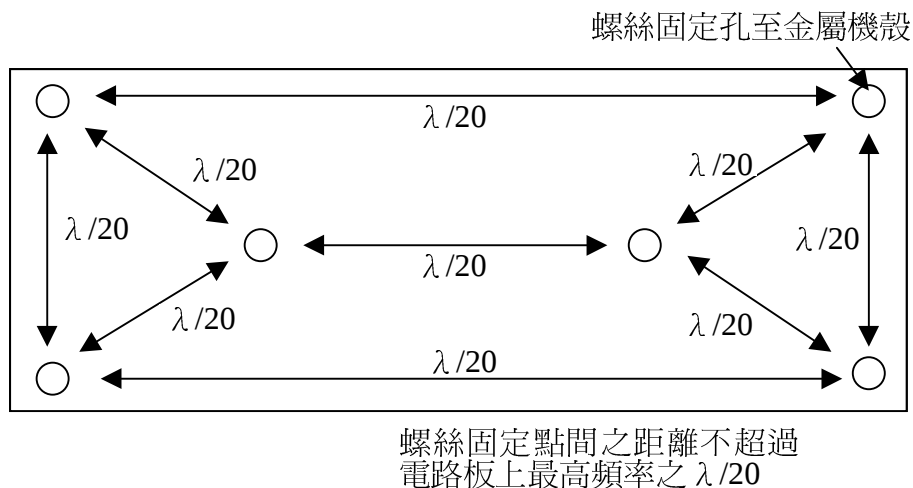


圖 2.18 PCB 之 Aspect ratio

在 Power plane 之 RF 電流也會有經由 crosstalk 耦合至其他信號線之傾向，會引起誤動作或信號品質低落。如何使用多點接地，迴路的考慮是一個主要的課題。

第 5 節 映像平面層 Image Plane

映像平面層是一 PCB 內部相鄰於電路或信號之銅箔層（如 voltage plane，ground plane）。使用映像層可提供 RF 電流一低阻抗路徑以迴返到其源頭（flux return），達到 RF 電流之迴返路徑並減低 EMI。

RF 電流會經由任一路徑以迴返其源頭，這個路徑可能是其 trace 路線之鏡射（mirror image），或是其鄰近之路徑（crosstalk）、電源平面、接地平面、或機殼平面。RF 電流會電容性耦合（或是互感）至傳導性媒介（亦即，如銅箔層之低阻抗路徑）。如果不是 100% 耦合，則 trace 與距其最近平面將會產生 common-mode RF 電流，在 PCB 內部之映像平面會降低地雜訊電壓，因而允許 RF 電流以較緊密之耦合方式（接近 100%）回到其源頭。緊密之耦合可提供 flux cancellation，這也是使用完整平面之另一理由。

關於映像平面之理論，在此討論的是一有限大小之平面，如 PCB，I/O Cable 上不能用映像平面來降低電流，因有跟大小之傳導平面不一定存在，當有 I/O Cable 時，考慮的是組態的大小及 source 之阻抗。

Common-mode 及 differential-mode 電流之圖例在圖 2.19。所量得的由 differential-mode current 產生之 E-field 是 I1 與 I2 之差值。因有 180 度相位差，此值會是負值，由 Common-mode current 產生之 E-Field 是 I1 與 I2 之和。

如果電路板內有三層信號層相鄰，則中間之信號層（沒有相鄰映像平面）會耦合 RF

電流至另兩層信號層，因此造成 RF 能量經由互感及電容轉移至另兩層信號層，此耦合會造成嚴重之 Crosstalk，可能導致功能不正常。當信號層相鄰於 ground plane 而不相鄰於 power plane 時，Flux cancellation 會最佳。

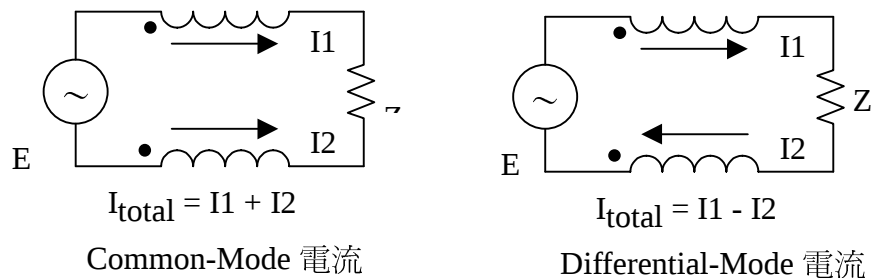


圖 2.19 共模及差模電流

此映像平面要有效則不可有信號線放在此完整平面（solid plane）。當使用壕溝（moat）、隔離（isolation）時例外。如果一信號線，甚或是電源線（如+12V trace 在+5V 平面），佈線在 solid plane 之中，則此平面會殘破成小塊，此時在相鄰層之信號線會有一繞過此破洞之地（或信號）迴返環路產生，此時信號線之 RF 電流即無法以直線距離回到其源頭。

圖 2.20 解釋此種概念。此時此一平面就不再能去除 common-mode 電流了，反而越過此片斷之損失會產生 RF 電場。映像平面上之貫穿孔（vias）並不會損害此平面之映像能力，除非是接地孔縫（Ground slot），如下討論。

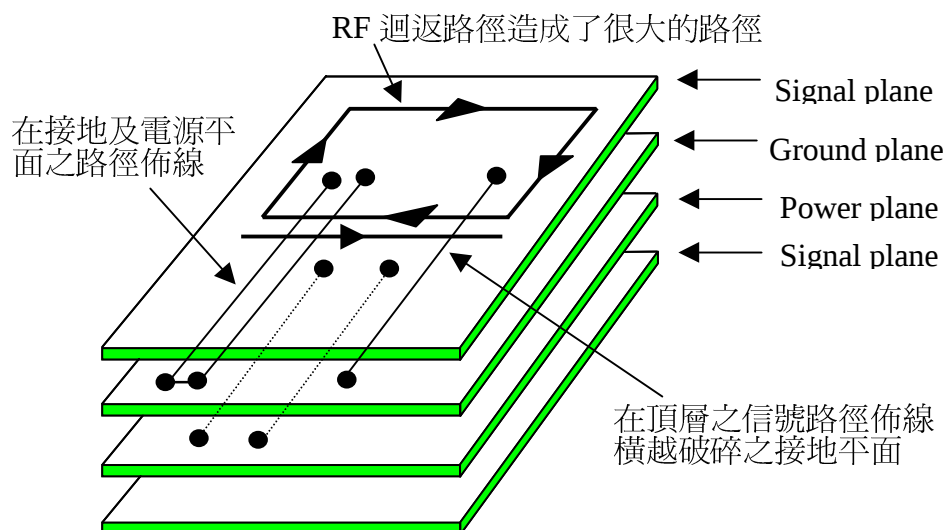


圖 2.20 四層板之堆疊

一個關切之點是：使用貫穿孔元件會造成地平面之不連續性。過度在 ground 及 power 平面上使用貫穿孔會造成『Swiss cheese syndrome』，因許多洞之重疊（大尺寸之貫穿孔）使此平面之銅箔區域會降低，造成大面積之不連續性，如圖 2.21。信號線可在另一層（信號層）直接佈線通過此一不連續區域，而在映像平面（ground plane）之迴返電流必須要繞過此 slot 或 hole，結果是，迴返電流必須要在映像平面流經較

長的 trace 距離，此較長之長度使信號迴返路徑之電感增大，此迴返路徑之大電感，使得信號電流及 RF 電流迴返平面間之 **common-mode coupling** 降低，也就是較低的 **flux cancellation**。對於在腳位間有間隙（非大尺寸之穿孔）之穿孔元件，由於有完整平面的存在，在迴返路徑可有較低的信號及迴返電流。

如果 trace 佈線繞過著穿孔之不連續區（如圖 2.21 之左邊），要沿著信號路徑保持一完整之映像平面。而如圖 2.21 之右邊並無地平面之不連續，因此 trace 長度最短。如圖 2.21 左邊之長 trace 造成更大的 trace 電感。此長度會造成反射現象影響信號品質及功能。當信號佈線穿過穿孔縫隙之中間，且在此大尺寸之穿孔區不存在完整平面時，問題就產生了。當將 trace 佈線在孔洞之間時，在 trace 及穿孔區要遵守 3-W Rule。

一般來說，對大部份佈線在穿孔元件腳位之間之信號線來講，穿孔元件造成之 slot 不致造成 RF 問題。對高速、高危險信號，則須採用其地之方式來佈線。

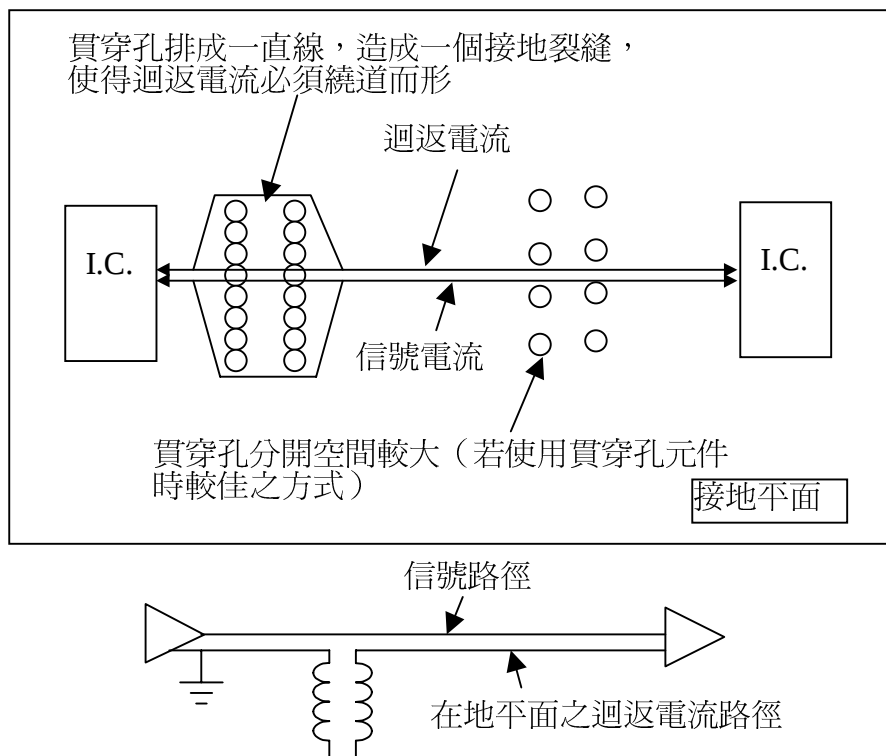


圖 2.21 當使用貫穿孔元件時之接地裂縫

除了可以降低地雜訊電壓，映像平面也可防止地迴路產生，因 RF 電流會緊密之耦合到其源頭而不會去尋找另一條回家的路，可達到迴路之控制且減小迴路，**flux cancellation** 最佳。此為在 PCB 上達到 EMI 壓制之最重要概念之一，適當之放置映像平面使其相鄰每一信號 trace，可去除 **common-mode RF** 電流，映像平面帶有大的 RF 電流，必須要接到地電位。爲了要移除此 RF 電流，所有的 **ground** 及 **chassis** 平面必須要經由低阻抗之方式（銅柱）連接到機殼之地。圖 2.22 解釋此種使用映像平面之概念。

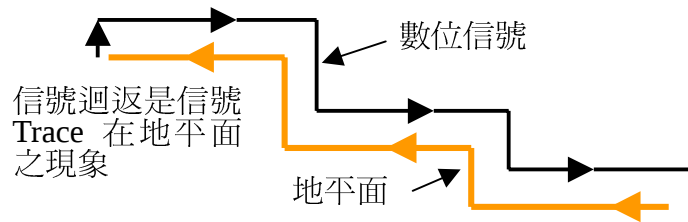


圖 2.22 映像平面 (IMAGE PLANE) 之概念

對於映像平面還有一點要注意，關於『集膚深度 (skin depth)』之概念，集膚深度意指電流都只在物質的表層集膚深度流動，電流不會也不能大量的在 trace 或 wire 的中心流動，其絕大多數成份會在導體的表層流動，不同的物質有不同的集膚深度。銅在 30MHz 時的集膚深度是非常淺的，在 100MHz 時大約在 0.00026 吋 (0.0066mm) 左右，RF 電流無法穿透 0.0014 吋 (0.036mm) 厚的銅層地平面。結果是，differential-mode 以及 common-mode 電流只在平面之表層流動，其不會在映像平面之內部或底層流動，因此在此地平面下再加一層映像平面並不會增進 EMI 效果。然而如果增加之平面是 power 層，則可有 decoupling 電容之效果，對 flux cancellation 有些許效果。

第 6 節 分割 Partitioning

在 PCB 之 Layout 上適當的 placement 是很重要的，大部份的設計皆會包括許多種類

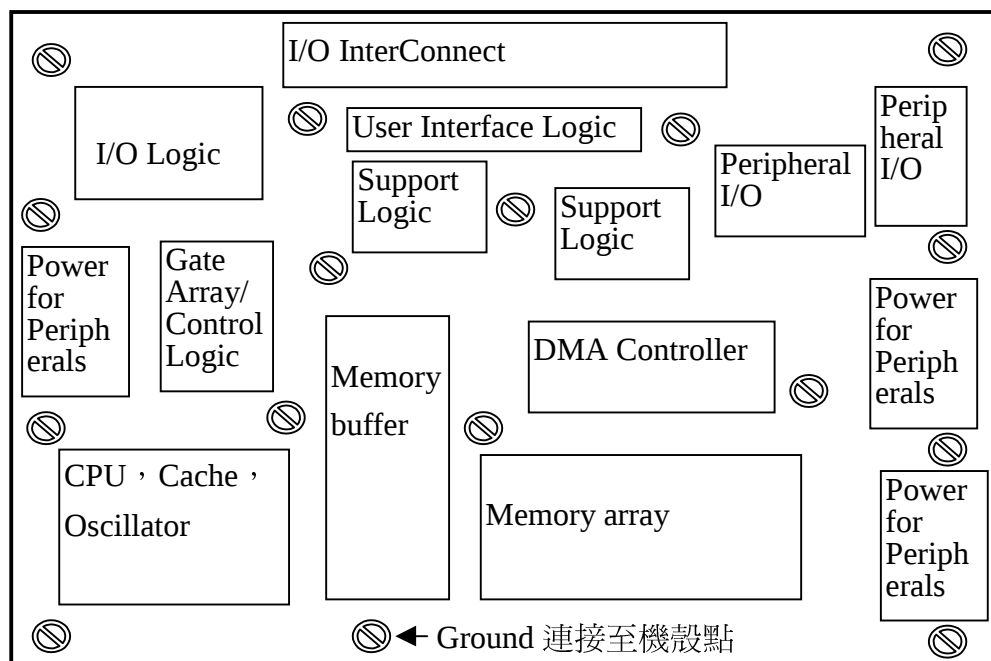


圖 2.23 有著多重接地點之分割 partition

功能之電路。將相同功能之電路匯集成一群群，分成一些子系統或區域以減少信號路徑長度及反射現象，更容易佈線，信號品質更佳。儘量少用貫穿孔。每個貫穿孔

會在電路上增加約 1-3nH 之電感量。圖 2.23 為一主機板功能區分子系統之示意圖。

圖 2.23 同時可觀察到其使用了非常多的機殼金屬接地點。高頻設計之場合應注意將 ground plane 接至 chassis ground。使用多點接地之技術有效地分離 common-mode eddy current，使其不會耦合至其他區域。Clock 在 50MHz 以上之設計就需要極多的銅柱接地以減低渦電流及地迴路之效應。每一個子區域至少要有四點接地圍繞著，此為最好狀況之應用。如圖，注意到在提供外接周邊電源之 dc power 連接器之前後各有一個接地點（螺絲或類似之方式）。不管在 PCB 或周邊之電源所生之雜訊皆應要以 Bypass 電容 ac 並聯至機殼之地，這些電容可降低 power supply 帶出之 RF 電流 coupling 至信號及 data 線上，將 power 連接器之處之 RF 電流移除可改善主機板與周邊之信號傳輸之信號品質，同時也降低 EMI。

大部份之 PCB 皆含有功能上之子系統或區域。典型之主機板有以下之區域：CPU、memory、ASICs、I/O、bus interface、system controller、EISA/ISA bus、SCSI bus、周邊介面（FDD、HDD）等，每一子系統所包含之 RF 能量頻帶皆不盡相同。不同之邏輯族所產生之 RF 能量之頻譜區域皆不同，信號的頻率越高，其所帶的 RF 中心能量之頻帶也越高。RF 能量來自於高頻元件及數位或類比信號準位變動之瞬間，RF 能量之最大來源是 Clock 信號，這是因為 clock 信號為周期性（50%之 duty cycle），因此很容易為頻譜分析儀或接收機所量得。表 2.2 列出對不同邏輯族之中心能量頻寬。

要防止不同頻寬區域間互相耦合，要採用功能上之分割 partitioning。Partitioning 意即是將功能上之區域作實體的分割。分割方式要依產品不同而來定義，通常可用分開之電路板、隔離、Layout 之區隔等方式。

適當的 partitioning 可以穩定功能、簡化佈線、改善信號品質。設計工程師應先依據零件製造商提供之規格，將所有元件歸類，將元件作適當之放置，而後再進行拉線。

第 7 節 邏輯族 Logic Families

當選擇數位元件時，設計工程師一般只在意功能及運作速度。元件之速度根據廠商提供之內部邏輯閘之傳輸延遲而知。

當元件越來越快時（快速的內容傳輸），RF 電流增大，串音、漣波現象發生，此為基於速度與 EMI 之對立關係。元件之選擇一般要考慮由輸入至輸出之傳輸，元件之穩定（setup）時間。幾乎所有的元件內部邏輯閘之速度皆以比所需之規格更快之 edge rate 在運作，因此應選用較慢速之邏輯族。圖 2.24 解釋了一反向器之內部切換速度與傳輸延遲間之關係。

不同之邏輯族有不同之設計特點，這些特點隨 CMOS、TTL、ECL 而變。這些特點

包括輸入電力、包裝型式、速度/電力關係、電壓搖擺率、邊緣速率。現在有一些元件具有 clock 偏移電路以控制內部邏輯閘之 edge rate，同時仍可保持精確之傳輸延遲。

Logic Family	Rise/Fall Time (Approx.) T_r	Principal Harmonic Content $F_r=(1/\pi T_r)$	Possible Significant Spectrum $F_{max}=10 \times F_2$	Maximun Non- transmission Line Trace length (Microstrip) $L_{max}=9 \times T_r$	Maximun Non- transmission Line Trace length (Stripline) $L_{max}=7 \times T_r$
74Lxxx	31-35ns	10MHz	100MHz	279cm(110")	217cm(85.4")
74Cxxx	25-60ns	13MHz	130MHz	225cm(88.5")	175cm(69")
CD4xxx(CMOS)	25ns	13MHz	130MHz	225cm(88.5")	175cm(69")
74HCxxx	13-15ns	24MHz	240MHz	117cm(46"0)	91cm(36"0)
74xxx(flip-flop)	10-12ns	32MHz	320MHz	90cm(35.5")	70cm(27.5")
	15-22ns	21MHz	210MHz	135cm(53")	105cm(41")
74LSxxx	9.5ns	34MHz	340MHz	85.5cm(34")	66.5cm(26")
(flip-flop)	13-15ns	24MHz	240MHz	117cm(46")	91cm(36")
74Hxxx	4-6ns	80MHz	800MHz	36cm(14.2")	28cm(11")
74Sxxx	3-4ns	106MHz	1.1GHz	27cm(10.5")	21cm(4.3")
74HCTxxx	5-15ns	64MHz	640MHz	45cm(18")	35cm(14")
74ALSxxx	2-10ns	160MHz	1.60GHz	18cm(7")	10cm(4")
74ACTxxx	2-5ns	160MHz	1.60GHz	18cm(7")	10cm(4")
74Fxxx	1.5-1.6ns	212MHz	2.1GHz	10.5cm(4")	10.5cm(4")
ECL 10K	1.5ns	212MHz	2.1GHz	10.5cm(4")	10.5cm(4")
ECL 100K	0.75ns	424MHz	4.2GHz	6cm(3")	5.25cm(2")

T_r 隨負載電流、供應電壓、IC 之複雜度而定。參考製造廠商規格。 T_r 亦隨製造廠不同及製程不同而變。

例如 FR-4 之傳輸延遲為 1.7ns/ft(0.14ns/inch or 0.36ns/cm)， $E_r=4.6$ (microstrip)

例如 FR-4 之傳輸延遲為 2.2ns/ft(0.18ns/inch or 0.47ns/cm)， $E_r=4.6$ (stripline)

表 2.2 邏輯族特性

一個在製造廠之規格中沒有，可是在 EMI 中很重要的參數是『power peak inrush surges into the device power pins』(進入電源腳之峰值衝擊湧浪電流)，此峰值電流是因為邏輯交錯電流、元件之電容負荷、trace 與負載元件接點間電容等。此一衝擊電流可能為實際信號電流之數倍。

選擇可能的最慢速邏輯族而同時要維持適當的 timing margin 以減低 EMI 且加強信號品質。可能的話，在 timing 需求許可狀況下，使用 $t_r > 5ns$ 之元件。如果使用的是標準或低功率蕭特基 TTL 邏輯的話(現今已很少使用了)，或是些低速邏輯的話，可以不必考慮本書的 EMI 技術。然而，在今日的一些高速高科技產生使用許多在 1.5 至 5ns edge rate 之邏輯，如 74ACT 及 74F 系列之元件。在一些應用上應可以用 74HCT 來代替 74ACT，於改善 EMI 特性，在一般之考慮上，不要使用比電路實際需求或 timing 需求更快之元件。

如果 timing 需求要快速元件，則工程師應特別留意 clock trace 之 decoupling、routing、以及 handling。

快速之切換時間使得以下問題成正比增加：迴返電流之問題、串音、漣波、反射，這些問題與傳輸延遲無關。這是因為邏輯元件之 **edge rate** 皆會遠快於元件內部的傳輸延遲。**Edge rate** 之定義為每單位時間之電壓或電流變化量（**volt/ns** 或 **amp/ns**）。

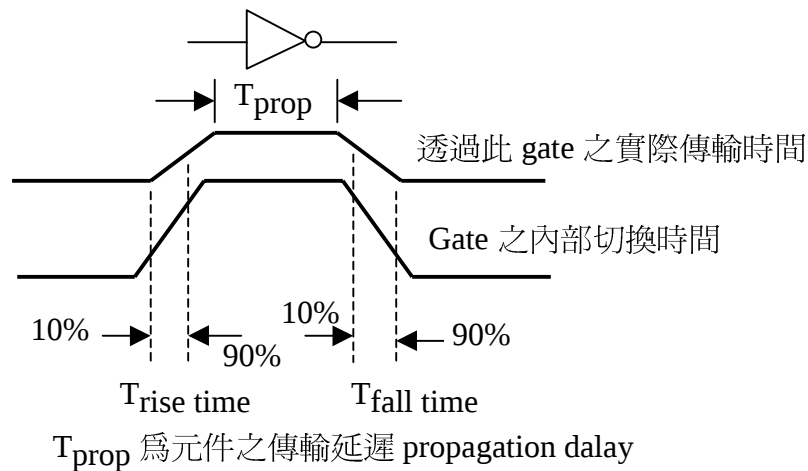


圖 2.24 輸出切換時間相對於傳輸延遲

邏輯元件製造廠在 data book 中通常只記載其 clock 及 I/O 腳位 **edge rate** 之『最大值』 t_{rmax} 。通常此規格約為 $2\text{-}5\text{ns}_{\text{max}}$ ，但並未列入最小值之 **edge rate**： t_{rmin} 。一個規格為 2ns 之 **edge rate** 之元件其 **edge rate** 約在 0.5 至 1ns 左右，RF 能量之最大來源是元件的 **edge rate** 而非其操作頻率。一個 5MHz 的振盪器驅動一 74F04 (1ns edge) 所產生的 RF 頻譜能量遠大於一個 10MHz 的振盪器驅動一 74ALS04 (4ns edge)。此一元件之規格是在 PCB 設計上最常被忽略及忘記之參數，然而，這卻是設計一符合 EMI 規範之產品之最重要之考慮因數。我們會經常聽到此敘述『使用可能的最慢速邏輯族』，是因為在元件的 data book 中並不告知或定出 **edge rate** 之最小值之故。在 PCB 內產生的所有 RF 能量來源幾乎全是來自數位元件之 **edge rate**。

表面黏著元件（SMT）比穿孔固定元件有較佳之 RF 輻射特性。這是因為 SMT 元件其晶元（die）至 PCB 線路 trace 之長度較短（電感較低）之故。同時，因包裝大小之故，其 loop area 小。Trace 長度會增加電感，而電感會導致不需要的 RF 能量。RF 電流會產生輻射，同時造成信號品質問題。有時貫穿孔元件會裝在 socket 上，socket 會增加引線電感，因而增加 RF 輻射。

『使用可能的最慢速邏輯族』之理由是根源於時域（Time Domain）與頻域（Frequency Domain）之關係。將時域下的信號 **edge** 以傅立葉分析（Fourier Analysis）可得知，當信號之斜率（**edge rate**）越大時，其 RF 頻譜能量越大。

如可能的話，選擇 power 及 ground pin 在中間之邏輯元件而不要在對角邊。Power pin 在中間可更有利於 decoupling 電容之放置，此組態除了減少元件及 decoupling 電容間之連線外，還可減低元件內部至 die 之引線電感。

表 2.2 同時提供了詳細的數位邏輯族之諧波頻譜，可參考此表選擇最佳之邏輯族來

減低 EMI 輻射同時達成適當之功能需求。

第 8 節 傳輸速度 VELOCITY OF PROPAGATION

此章節是爲了提供一些背景資料給本書之後續討論使用，傳輸速度 V_p ，是 data 在 PCB 導體上之傳遞之速度。在空間中，此速度等於光速；在介電質中，此速度較低而以下式表示

$$V_p = \frac{C}{\sqrt{\epsilon}} \quad (2.2)$$

此處

$C = 3 \times 10^2$ 尺/秒，或約 12 吋/ns，30cm/ns

ϵ_r = 實效介電常數 (effective dielectric constant)

典型上，PCB 之 ϵ_r 約爲 3 或 4，雖說板子材料之相關的介電常數接近 5，這是因爲部份之能量流動在空氣中，部份在介質中。典型的介電係數得到之傳輸速度約 6 至 7 吋/ns。

第 9 節 臨界頻率

CRITICAL FREQUENCIES ($\lambda / 20$)

計算信號頻率相對之波長，可使用下列之計算式：

$$\begin{aligned} \lambda(m) &= \frac{300}{f(MHz)} \\ f(MHz) &= \frac{300}{\lambda(m)} = \frac{984}{\lambda(ft)} \\ \lambda(ft) &= \frac{984}{f(MHz)} \end{aligned} \quad (2.3)$$

在此 design guide 中，要注意 critical 頻率或 high-threat clock 或周期信號線，若其長度大於 $\lambda / 20$ 時。在表 2.3 中爲，根據上面之計算式，頻率與其相對波長之摘錄。

Frequency of interest (MHz)	$\lambda / 20$ Wavelength Distance
10	1.5m (5 ft)
27	56cm (1.8 ft)
35	43cm (1.4 ft)
50	30cm (12 in)
80	19cm (7.52 in)

Frequency of interest (MHz)	$\lambda / 20$ Wavelength Distance
100	15cm (6 in)
160	9.4cm (3.7 in)
200	7.5cm (3 in)
400	3.6cm (1.5 in)
600	2.5cm (1.0 in)
1000	1.5cm (0.6 in)

表 2.3 不同頻率之 $\lambda / 20$ 波長

第 3 章 旁路及去耦合

Bypassing and Decoupling

Bypassing 及 decoupling 是一防止 RF 能量由一電路轉移至另一電路之技倆，主要關切的為三種電路區：power 及 ground planes、零件、內部電源連接。

Decoupling 電容是爲了在 clock 或 data 轉換時，提供足夠之 dc 電壓及電流給元件之正常操作，當在最大電容負載狀況下元件之信號腳同時切換時，藉由在 power trace 及 ground trace 之間確保有一低阻抗之電力來源而達成去耦合（decoupling），因電容之阻抗會隨頻率之增加減小，直到其共振頻率爲止，因而可將高頻成份由信號線中除去，而低頻 RF 能量相對不受影響。較佳之應用是同時運用 Bulk，Bypass，及 Decoupling 電容。所有之電容值應依其特殊應用而單獨計算之，亦即我們須適當的選用電容之介電質，而不能依過去經驗來隨便使用。以下定義三種 EMI 上常用之電容，當然，電容亦可用在其他方面如 timing 元件、波形修整、積分、濾波、等等。

- ♣ **Decoupling（去耦合）** 去耦合電容將高頻元件產生在電源平面上之 RF 能量移除。其同時可提供元件一個本地化的 dc 電源，特別有用於在電路板上降低蜂值電流湧浪之傳播。
- ♣ **Bypassing（旁路）** 旁路電容能移除不需要的 RF 雜訊，避免其耦合元件或 cable 之 common-mode EMI 進入敏感區域，且提供濾波功能（頻寬限制）。
- ♣ **Bulk（大型）** 大型電容是當在最大負載下，所有信號腳同時切換時，對元件保持其 dc 電流及電壓穩定，它同時可防止因元件之電流湧浪（ dI/dt ）造成之電源失效。

第 1 節 諧振（共振）Resonance

實際上，電容含有一 LCR 電路，此處 L=接腳長度之電感，R=接腳之電阻，C=電容。圖 3.1 表示一個電容器的模擬電路圖。當到達某一頻率時，L 及 C 之串聯組合變成諧振，提供一非常低之阻抗而有效的轉移 RF 信號；當頻率到諧振點以上時，電容器之阻抗變成電感性，使得 bypassing 或 decoupling 變得較無效果。因此，bypassing 及 decoupling 之功能會受電容接腳長度、主動元件與電容間之 trace 長度及貫穿孔焊墊（Pad），等等所影響。

在討論 PCB 之旁路及去耦合電路前，先看一下諧振之現象。

共振是發生在當電感向量及電容向量之相位差爲零時，也就是說此時電路對 AC 電

壓是純電阻性。有三種常見之諧振：

- ♣ 串聯諧振
- ♣ 並聯諧振
- ♣ 並聯 C，串聯 L 諧振

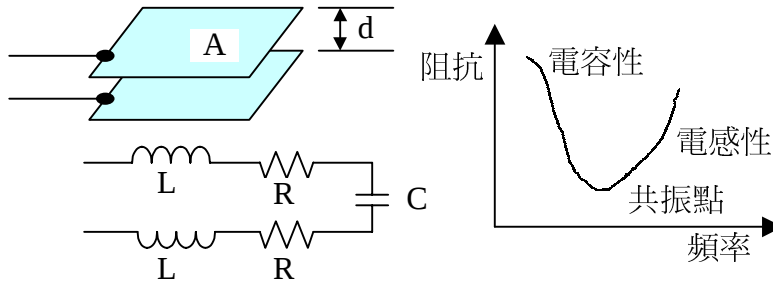


圖 3.1 電容之物理特性

諧振電路對頻率為選擇性的，因為其能在一特定頻率通過較多（或較少）之 RF 電流，一串聯之 LCR 電路會使選擇之頻率通過，若 R 為高電阻而 source 為低電阻。若 R 為低電阻而 source 為高電阻，此電路將會拒絕選擇的頻率。一並聯諧振電路若與負載串聯將會拒絕選擇的頻率。

串聯諧振

如圖 3.2 之串聯 RLC 電路之總合阻抗為 $R+j(X_L-X_C)$ 。如果此電路表現如電感性，則其值可如圖 3.2 中計算，此處 ω 是為諧振頻率。

當一串聯 RLC 電路在諧振點時，

- ♣ 阻抗最低
- ♣ 阻抗等於電阻
- ♣ 相位差（Phase angle difference）為零
- ♣ 電流最大
- ♣ 功率（Power）最大

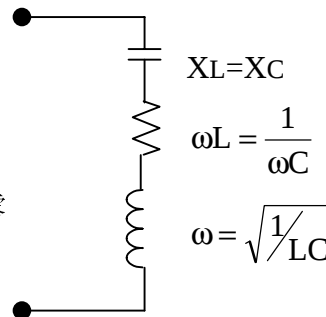


圖 3.2 串聯諧振電路

並聯諧振

一並聯 LCR 電路表現如圖 3.3。其諧振頻率與串聯 RLC 電路相同。

當一並聯 RLC 電路在諧振點時，

- ♣ 阻抗最大
- ♣ 阻抗等於電阻

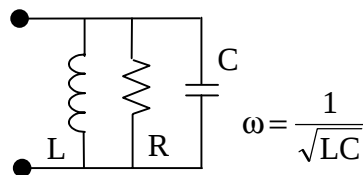


圖 3.3 並聯諧振電路

- ♣ 相位差 (Phase angle difference) 爲零
- ♣ 電流最小
- ♣ 功率 (power) 最小

並聯 C，串聯 RL 諧振

實際的諧振電路一般會包括一電感與一電容並聯，因電感會具有一些電阻，等效電路如圖 3.4。此種型式之諧振，在諧振點時電流最低。

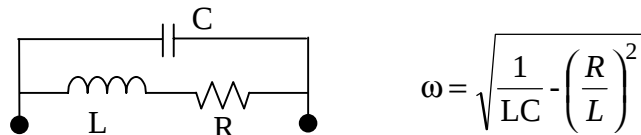


圖 3.4 並聯 C 串聯 RL 諧振電路

第 2 節 電容器之物理特性 CAPACITOR

PHYSICAL CHARACTERISTICS

理想上，當邏輯元件轉態時，去耦合電容應要能供應所需要的電流，此描述在方程式 (3.1)。在兩層板上要使用去耦合電容以降低電源供應漣波，在多層板上且用在低頻應用時一般不需要去耦合電容，因在 power 及 ground 平面間之電容可提供所需之電容量。

$$C = \frac{\Delta I}{\Delta V / \Delta t} = \frac{20mA}{100mV / 5ns} = 0.001\mu F = 1000pF$$

此處

ΔI = 暫態電流 current transient

ΔV = 可允許之電源供應電壓變動漣波 ripple

Δt = 切換時間 switching time

當選擇旁路及去耦合電容時，根據使用的 clock 速度及邏輯族來計算所關切的頻率，依據電容器在電路板上表現之電抗而選擇適當的電容值，一電容器直至其諧振頻率都爲電容性，到諧振頻率以上，電容變成電感性，並隨頻率增加而增大其電感性，因之 RF 去耦合效果降低。表 3.1 列出軸向或輻射向腳長 0.25 吋之陶磁電容器之諧振頻率。SMT 電容器之諧振頻率一般說來更高十倍（此種益處可能因接點電感而抵銷），因其包裝小，軸向腳長度短，電感低。

雖說表 3.1 中列出的是 0.25 吋腳長的諧振頻率，要提醒的一點是電容之諧振頻率同時也是腳長度電感的函數。當我們在這一章中重點放在電容之去耦合效果時，要留意在諧振頻率以上其表現如同電感一樣，我們在討論去耦合時定要注意此點。

電感並不會改變特性而表現得如電容一般，而是其阻抗之大小會隨頻率之改變而變。然而，電感周圍的寄生電容會導致並聯諧振而改變響應。電路之頻率越高其阻抗越高，RF 電流流經一個阻抗造成 RF 電壓，其關係式為歐姆定律 $V_{rf} = I_{rf} \times Z_{rf}$ 。

在設計使用去耦合電容時一最重要之關切點是接腳引線之電感。SMT 電容之高頻表現較一般電容要好。表 3.2 列出一 15nH 的電感其在不同頻率之阻抗大小，此電感值是來自於電容之接腳長度及將電容放置在 PCB 上之方式。

數值	諧振頻率 (MHz)
1.0 μ F	2.5
0.1Mf	5.0
0.01 μ F	15
0.001 μ F	50
500pF	70
100pF	150
50pF	230
10pF	500

表 3.1 腳長 0.25 吋之電容之諧振頻率（假設 L=15nH/INCH）

數值	Z (Ohms)
0.1	0.01
0.5	0.05
1.0	0.10
10.0	1.0
20.0	109
30.0	2.8
40.0	3.8
50.0	4.7
60.0	5.7
70.0	6.6
80.0	7.5
90.0	8.5
100.0	9.4

表 3.2 15nH 電感之阻抗大小對頻率之關係

圖 3.5 顯示不同電容值之諧振頻率與不同的邏輯族。可以看出電容器在到達諧振頻率（null point）之前都是電容性的，之後就變成電感性了。在此頻率之上其變成電感性，就不再有去耦合之功能了。然而，其仍可作為元件最佳充電之來源，即使其已變成電感性亦同。這是因為電容器由內部電極板至 PCB 上之焊點之接腳長度皆應考慮進去，電感性是使得電容之去耦合能力在超過諧振點後變差的原因。

有些邏輯族會產生大頻譜之 RF 能量，此能量頻率範圍較電路板上去耦合電容之諧振頻率要高，例如：對 ACF 或 F 系列之邏輯族，通常是不用 0.1 μ F 之去耦合電容，一般是用 0.001 μ F 之去耦合電容，因為此類高速元件有較快的 edge rate（0.8-2ns

min)。

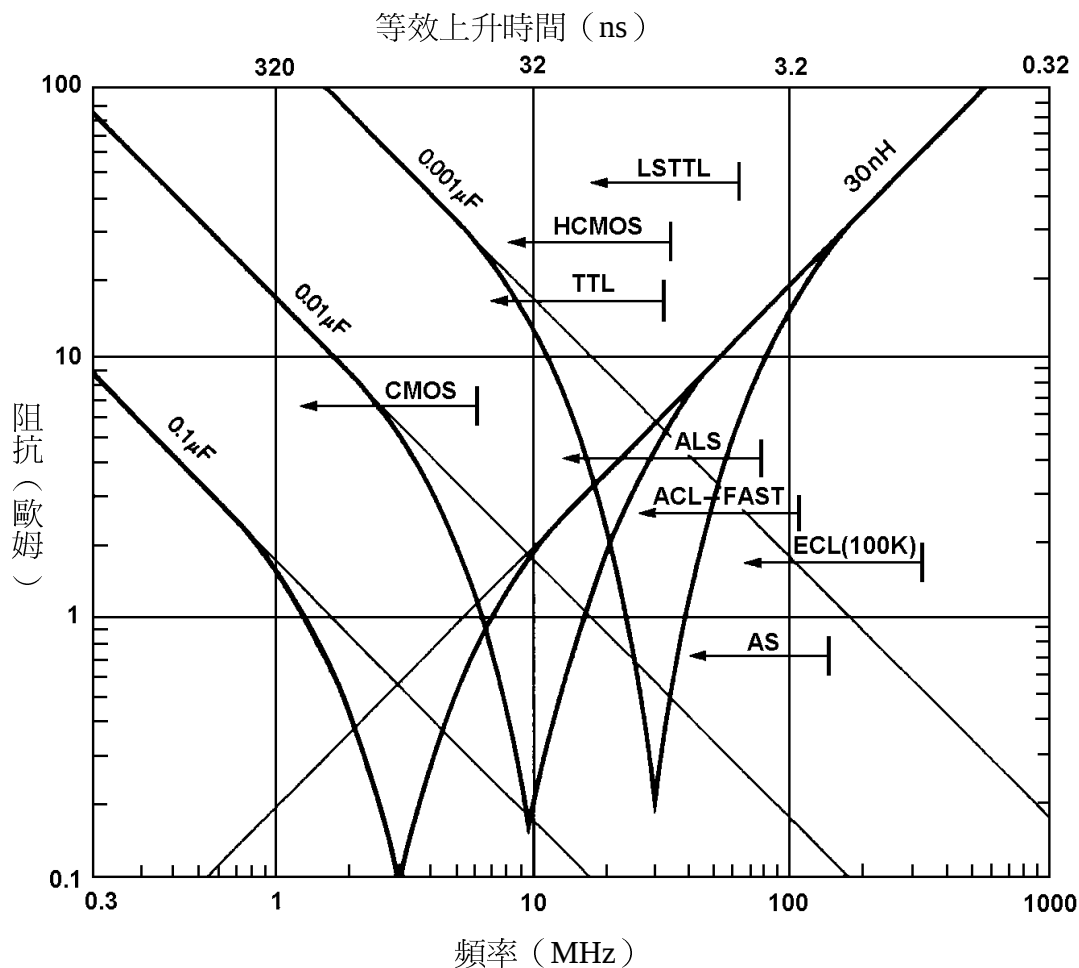


圖 3.5 「電容之諧振頻率」相對於「接腳長 1/4」之邏輯族」

當電容適當的放置在 PCB 上時可達到有效的電容去耦合，隨機放置或過度使用是浪費材料。有時，適當的放置較少之電容可達到最佳效果。在某些應用，需要並聯兩個電容以達到較寬的 RF 壓制頻帶，這兩個電容應相差 100 倍 (如 $0.1 \mu F$ 與 $0.001 \mu F$)，才能達到最佳效果。在 3.4 節會討論此並聯電容。

一個使用多層板的益處是其電源及接地平面彼此相鄰，此兩平面之實體關係造成一大的去耦合電容，此電容 (零材料成本) 通常可對低速設計提供一適切之去耦電容。如果元件信號之 edge 速率只在 10ns 之範圍，則不需要用到高性能之諧振去耦合電容，然而仍然需要大型電容作為保持電壓準位， $0.1 \mu F$ 是一適當之值。

在使用電源及地平面當成一主要去耦合電容之狀況下，另一要考慮的方面是其共振 (自諧振) 頻率。如果板子的諧振頻率與板子上所有集總電容之諧振頻率相同的話，則在此頻率會有一很尖銳的諧振情況。去耦合就無法在一較寬之頻率範圍作用，如果一 clock 之諧波剛好位於此一尖銳諧波頻率點，此電路板在此頻率及以上之頻率無去耦合之效果，可能發生嚴重之 EMI 問題，如有此狀況發生，則需使用額外的不

同諧振點的去耦合電容來將電源平面之諧振頻率偏移。

一個簡單改變電源及接地平面諧振頻率的方法是改變此二平面之間距。增加或減少其高度間距或改變各層之堆疊次序，可改變組成之電容值，方程式 (3.5) 提供此一計算式。使用此種方式之缺點是信號佈線層的阻抗也會變化。一般說來 PCB 之諧振頻率在 200MHz 至 400MHz 之間，使用 20-H 法則可增加諧振頻率 2 至 3 倍。

在過去，低速邏輯族之 RF 信號遠低於 PCB 之電源接地平面之諧振頻率，新的高科技的設計已接近此諧振頻率。當電源平面之阻抗及去耦合電容皆有接近之諧振頻率時，產生嚴重之問題，此一高頻阻抗之不佳特造成嚴重之 EMI 問題，這一 PCB 之組合變成一非故意的發射器，去耦合電容也無法解決此一問題（由於其本身之諧振），並需使用圍堵屏蔽之方法。

第 3 節 電容器數值之選擇

依據過去之低頻經驗來選擇電容器，將無法適用於現在高速技術設計之旁路、去耦合電容之需求，在選擇電容或電容組合時，要考慮到諧振、PCB 上之元件放置、接腳長度電感、電源平面存在否，等問題。

對大型（Bulk）電容器，建議以下列程序進行：

1. 先估計板子所需求之總電流(ΔI)，假設所有的 gate 同時間切換。把邏輯 crossover 之電源湧浪之效應也計入。

$$X_{\max} = \frac{\Delta V}{\Delta I} \quad (3.2)$$

2. 計算使用之邏輯元件可允許的最大電源雜訊留一些安全 margins。
3. 決定可容忍的最大共同路徑阻抗，依下式：
4. 如果有完整平面， $X_{\max}$ 要依據 power 及 ground 之間的連接。

$$F_{\text{psw}} = \frac{X_{\max}}{2\pi L_{\text{psw}}}$$

5. 計算由電源供應器至機板的連接線的電感 (L_{psw})。將此值與 $X_{\max}$ 一起用來計算此頻率 (F_{psw})，在止操作頻率之下電源導線（佈線）是適當的，如果所有的 gate 同時切換，電源雜訊會小於 ΔV 。
6. 在 F_{psw} 頻率以下，此電源佈線（power supply wiring）是可以的，超過 F_{psw} ，則需要有大電容器，計算在頻率 F_{psw} 阻抗 $X_{\max}$ 之電容器值。

$$C_{\text{bypass}} = \frac{1}{2\pi F_{\text{psw}} X_{\max}}$$

範例 3.1 大型電容器之計算

假設 PCB 上有 100 個 CMOS gates (N)，每一個在 10ns 之時間周期切換 10Pf (C) 之負載，電源供應器電感為 100nH，計算 bypass 電容的適當值。

$$\Delta I = NC \frac{\Delta V}{\Delta t} = 100(10 \text{ pF}) \frac{5V}{5ns} = 1.0A \quad (\text{worst - case peak surge})$$

$$\Delta V = 0.100V \quad (\text{from noise margin budget})$$

$$X_{\max} = \frac{\Delta V}{\Delta I} = 0.1\Omega$$

$$L_{psw} = 100nH$$

$$F_{psw} = \frac{X_{\max}}{2\pi L_{psw}} = \frac{0.1\Omega}{2\pi 100nH} = 159kHz$$

$$C_{bulk} = \frac{1}{2\pi F_{psw} X_{\max}} = 10\mu F$$

PCB 上常見的大型電容在 10-100 μF 的範圍。

經由得知所要去耦合的邏輯電路之諧振頻率，我們可以決定需要的電容大小，此電容是用來將電源平面之 RF 電流去耦合，使用由方程式 (3.2) 至 (3.4)，這些變成簡單的算術題。在計算電容值時最難的部份是如何得知電容器接腳之電感，此電感即為等效串聯電感 (equivalent series inductance ESL)，在 3.6 節中還有關於 ESL 的討論，若不知道 ESL，可以用阻抗計 (impedance meter) 或是網路分析儀 (network analyzer) 來實際量測。

第 4 節 並聯電容器

研究多重去耦合電容並聯之效果得知，其並不一定會有大的效用，在高頻，最多只有 6dB 的改善。雖然 6dB 只是 EMI 壓制上的一小點功效，然而也許就能使原無法通過國際 EMI 規格檢測之產品通過測試，依據 Paul 之文件：

在大容質電容器之諧振頻率點以上其阻抗隨頻率增加而增加 (電感性)，而小容質電容器仍為電容性。在一些頻率範圍，小容質電容之阻抗降低值會大於大容質電容之阻抗增加而居於主導地位，因此可達到比單一電容器所能達到的網路阻抗值較小之值。

當再加入互感及接腳引線電感之影響時，更可明顯的肯定此一說法 (多個電容比單一電容改善幅度有限)，互感的概念超出範圍在本書內不深入討論。

此 6dB 之改善是來自於並聯電容之低接腳電感，兩電容並聯其總電容為兩單一電容之和，然而此時有兩組電容器接腳並聯，此兩組接腳可提供兩倍之接線寬度，使得接線電感減低。此一降低之電感是其能達到並聯電容功效之重要理由。

圖 3.6 畫出兩個電容之圖形，分別為 $0.01\mu\text{F}$ 及 100pF ，分別裝設及並聯。

在大電容之諧振頻率 f_1 及小電容之諧振頻率 f_2 之間，大電容之阻抗是電感性的而小電容之阻抗仍為電容性。在此頻率範圍內存在著一並聯諧振 LC 電路，因此可預期會有一無限大阻抗。在此諧振點附近，並聯組合的阻抗實際上會大於單一電容的阻抗。

要移除所有信號腳同時切換產生的 RF 電流，通常是使用兩個電容並聯（ $0.1\mu\text{F}$ 及 $0.001\mu\text{F}$ ）緊鄰在每一電源腳旁邊，電容值必須要相差 100 倍。兩並聯電容值之和是不重要的，重要的是此並聯電容之並聯諧振狀況。（參考表 3.1 與 3.2）

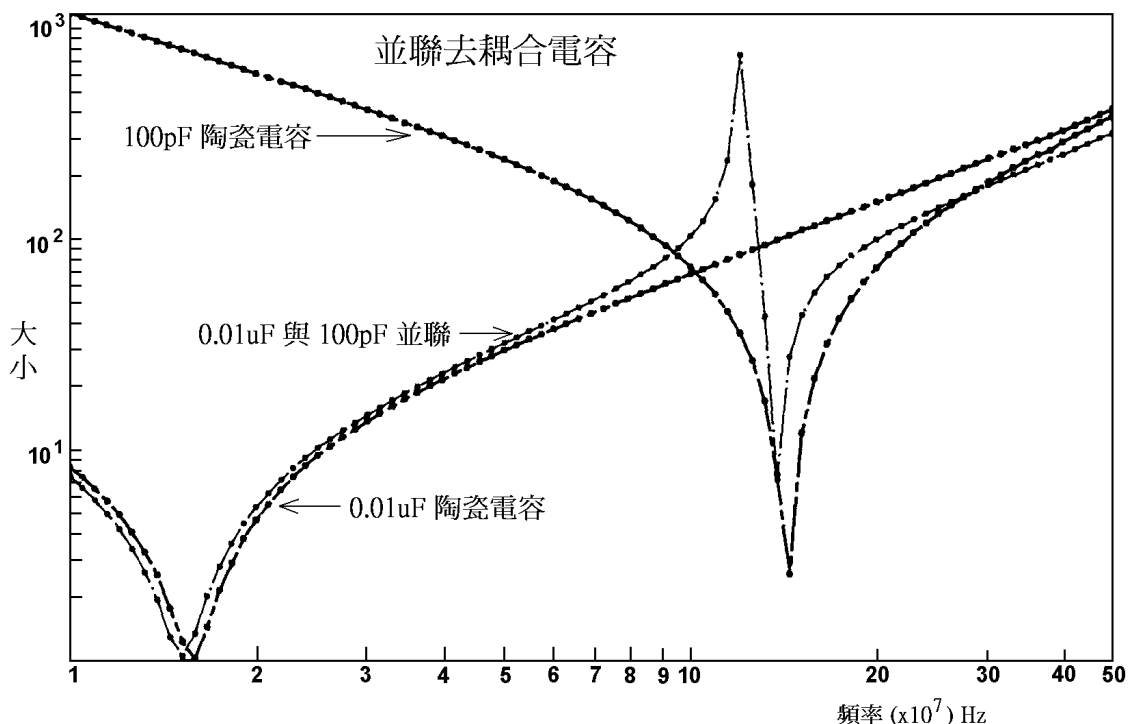


圖 3.6 並聯電容之諧振

要改善並聯電容之效果以及要允許只使用「單一電容值」，必須要降低電容器之接腳電感。實務上這是不可能的，因為當裝置電容器在 PCB 上時，絕對會存在一有限長度之接線電感。注意到此「接腳長度」必須包含連接電容至平面之貫穿孔長度。能作到越短之接腳長度（不論是單一或並聯電容），此去耦合電容之功效越好。

第 5 節 電源及接地平面電容

在圖 3.6 中並未考慮到電源及接地平面間之電容效應。在圖 3.7 中圖示此三種電容之效應。電源及接地平面間之等效接腳電感很小且並無等效串聯電阻，使用此電源平面當作去耦合電容一般可有效至較高頻率範圍以降低 RF 能量。

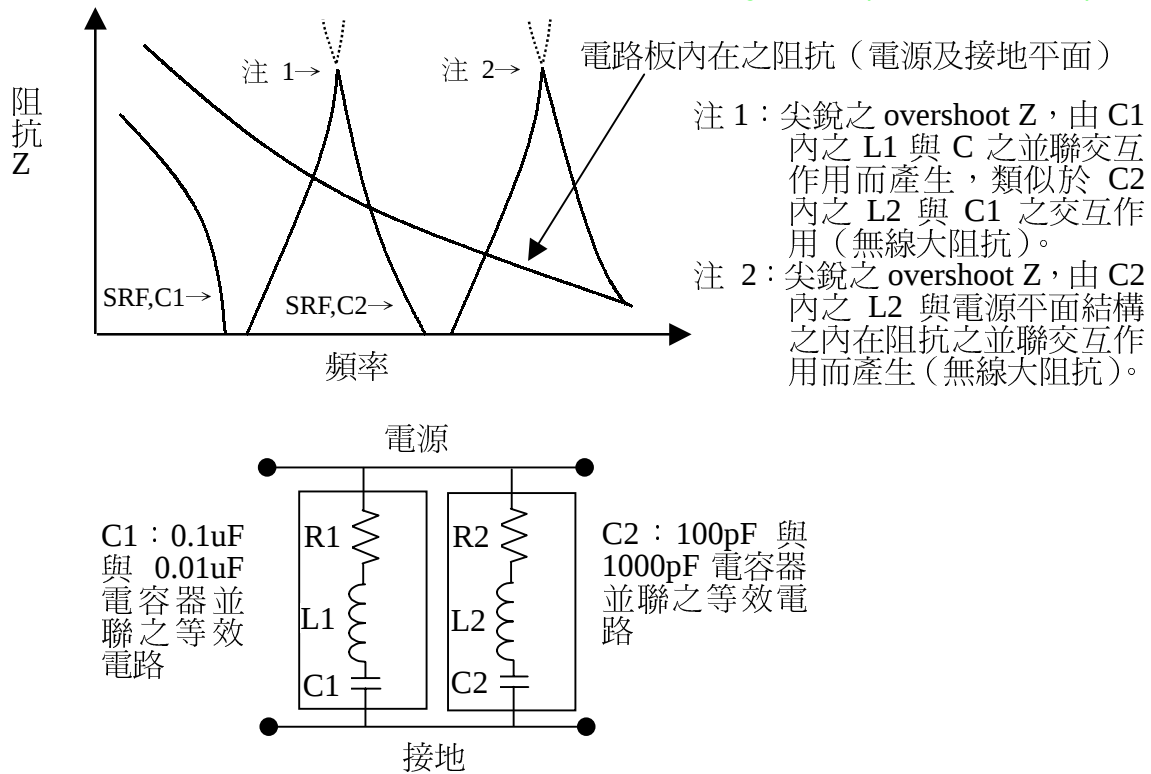


圖 3.7 與電源平面組成之並聯耦合效應

在電源與接地平面間永遠會有電容存在。依據 core 之材料厚度，此材料之介電係數，電源平面在堆疊之中放在第幾層，可能產生不同的電容值，經由網路分析、數學計算、模式化等方法，可了解此電源平面之電容，跟著可了解所有電路平面之阻抗及總計之諧振頻率，電容值可以用方程式（3.5）及（3.6）輕易算出。

$$C = \frac{\epsilon_0 \epsilon_r A}{d} = \frac{\epsilon A}{d} \quad (3.5)$$

此處

ϵ_r = 在電容器極板間之介質之導磁係數 permittivity, Fm^{-1}

A = 電源平面之面積, mm^2

d = 極板之間距, mm

C = 在電源平面間之電容, pF

代入相對介電係數 ϵ_r 及 ϵ_0 之值，我們可以得到平行板電容器（也就是說電源及接

$$C = 8.84 \frac{A \epsilon_r}{d} (\text{pF}) \quad (3.6)$$

地平面）的電容值。

此處

ϵ_r = 板間介質之相對介電係數，典型值為 4.5（隨線性物質而變，通常在 1 與 10 之間）

ϵ_0 = 自由空間之介電係數， $1/36 \pi \times 10^9 = 8.84 \times 10^{-12}$

由方程式 (3.5) 及 (3.6)，假設一電源及接地平面，中間為 FR-4 絕緣質，間距 0.01 吋，則其電容值為 100pF/in^2 。

因為用電源及接地平面之去耦合電容效果不錯，當使用標準 TTL 或低速邏輯族時，可不須再加去耦合電容。此種優良效果僅當電源及接地平面間距離小於 0.01 吋（對高速應用 0.005 吋最佳）時才可。但如果附加的去耦合電容沒有適當的選定，電源平面在該附加之去耦合電容之諧振頻率點之前會變成電感性。因為此一諧振頻率之差異，產生一耦極（pole），產生一些不預期之效果。在這些點，在 PCB 上之 RF 壓制對策會失去效用，應另外加屏蔽方法來抑制一產生額外之較高成本。

第 6 節 電容器之接腳長度電感

所有的電容器皆會有接腳長度電感，貫穿孔也會增加其電感，應儘量減低接腳電感。當信號 trace 及接腳之電感加總後，造成元件之接地與接地平面間之阻抗不匹配，當有阻抗不匹配之情況時，在兩個 source 間會存在電壓梯度，因此造成 RF 場強。RF 場強會在 PCB 上產生 RF 輻射現象，因此，必須要外加去耦台電容以降低接腳長度，包括貫穿孔及跳線長度。

介電質也會影響電容器之諧振頻率，介電物質對溫度也很敏感，因而電容器之電容值亦會隨其外部之溫度而變。在某些溫度電容值可能會有劇烈之變化，使得其 bypass 或是 decoupling 作用完全失去，介電值之特性越穩定，電容器才會有較好之功效。

除了介電質對溫度之敏感性以外，還有等效串聯電感（ESL）及等效串聯電阻（ESR）亦需儘量降低。ESL 為寄生電感，ESR 為寄生電阻，兩者都與電容為串聯。在現今之小 SMT 元件中 ESL 不重要。輻射狀及軸向接腳元件才有較大的 ESL 之值。綜言之，ESR 及 ESL 會降低電容器之旁路效果。當選擇電容器時，要採用在廠商之 data book 中有告知 ESL 及 ESR 之數值的元件。隨意採用電容器會導致因 ESL 及 ESR 太高之嚴重問題，因之在高速科技之應用上應小心使用電容器。

因為 SMT 元件有極小的 ESR 及 ESL，故比輻射狀或軸向元件要優。典型上，ESL 應小於 10nH ，而 ESR 應為 0.5Ω 或更小，對去耦合電容來說，與溫度穩定度、介電係數、ESL、ESR、及諧振頻率相比，電容值之誤差度較不是一重要因素。

第 7 節 Placement 零件放置

第 1 項 電源平面

多層板一般包含一或多對之電源及地平面，電源平面就如同一低電感之電容器而抑

制來自於元件及 trace 之 RF 電流，多點之金屬接地降低地平面與機殼間之電位梯度，這些電位梯度就是 common-mode RF 場強之主要來源。在許多例子中，無法做到多點接地，特別對於界面卡邊緣設計上，在此一情況，必須來分析以確定那裏會產生 RF 環路及如何使地及電源平面最佳化。

電源平面可提供 flux cancellation，同時可將因元件之電源變動及由電源注入此平面之雜訊所造成之 RF 電流去耦合，一映像平面即為一個在電源或地電位之完整銅箔層，相鄰於一信號佈線層，產生在信號 trace 上之 RF 電流會映像其投影於此相鄰之完整金屬平面。爲了要移除 PCB 上之 common-mode RF 電流，所有之信號佈線層必須要相鄰於一映像平面。

第 2 項 電容器

在考慮如何放置電容器之前，先必須了解 PCB 之實體構成。圖 3.8 表示出 PCB 之等效電路，在此圖中，觀察到由 trace、IC 連接導線、元件之接腳、Socket 之腳、及去耦合電容等之電源及接地端間所形成的迴路，使去耦合電容有效的關鍵在於盡量減小 R_2 、 L_2 、 R'_2 、 L'_2 、 R_3 、 L_3 、 R'_3 、 L'_3 、 R_4 、 L_4 、 R'_4 、 L'_4 。將電源及接地腳位於元件中間可減少 R_4 、 L_4 、 R'_4 、 L'_4 。

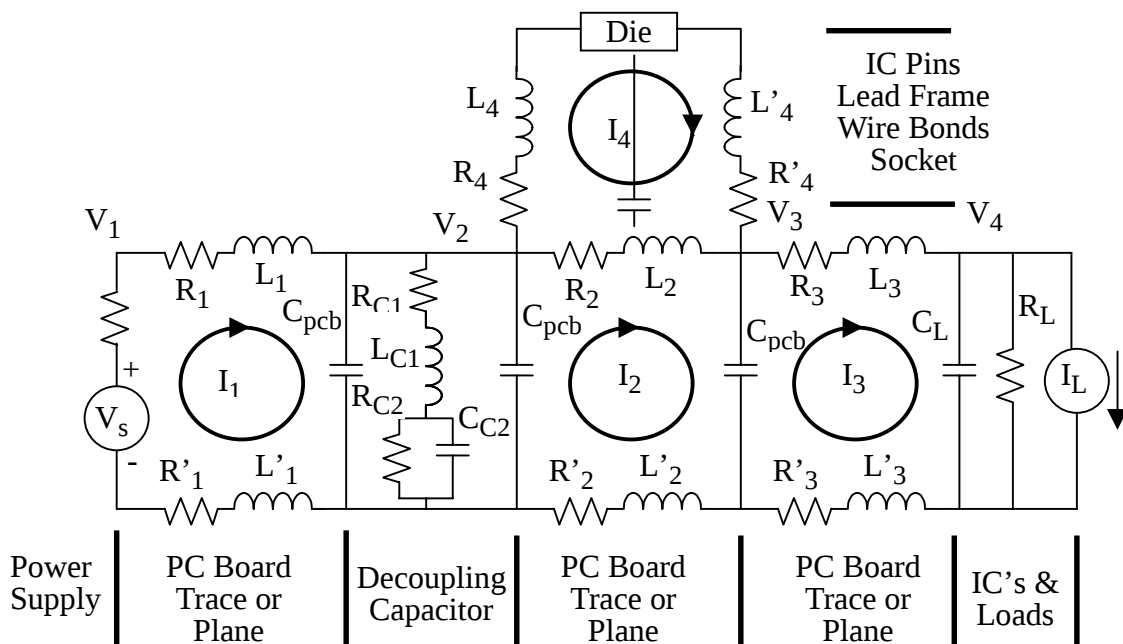


圖 3.8 PCB 之等效電路

圖 3.8 中可證明 EMI 是環路幾何面積及頻率的函數，因此需要最小的環路面積。藉由放置一去耦合電容鄰近於 IC 之電源腳做為電流儲蓄可達成一小區域環路，此去耦合電路阻抗一定要小於其他電源分配電路之阻抗，此一低阻抗可確保在 trace 及電路中的高頻成份幾乎可完全留在此封閉環路之中，結果即可達成低的 EMI 輻射，如果此環路之阻抗大於其他的環路，則一些高頻 RF 成份會轉移到由其他電源分配

系統所形成之較大環路，在這樣的狀況下，就產生了 RF 電流，也就是 EMI，此情況圖示於 3.9。

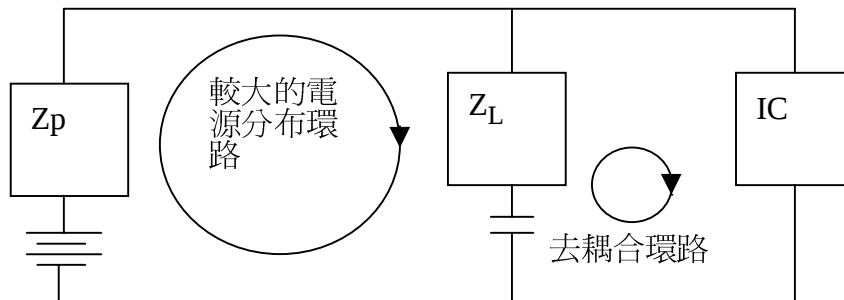


圖 3.9 環路控制之電源分布模型

當使用去耦合電容時重要的是減短接腳之長度並且儘量靠近元件旁邊。

去耦合電容應靈活的放置在每一元件邊，特別是 edge 快於 5ns 之元件。至少應預留去耦合電容之位置以便於 EMI 測試時之需求，在測試過程中再視情況移除一些多餘的電容。

在使用穿孔元件之場合，若是在組裝後須再加上一些去耦合電容，必須要使用 retrofit。一些製造廠可提供使用扁平的結構之電容，夾在元件與 PCB 之間，此種扁平之包裝分享與元件相同之電源與接地，因其為扁平結構故與有接腳元件相比，其有較低的 R_{c1} 及 L_{c1} ，又因為電容與 IC 元件分享相同的電源及接地腳，其又會有較低的 R_3 、 L_3 、 R'_3 、 L'_3 ，最廣汎使用的 Board level retrofit capacitor 是為 Micro-Q™（廠商名）。

未適切預估去耦合電容之使用，就會需要用到 Micro-Q™電容器，對 SMT 元件沒有類似之材料可利用。

在選擇電容器時，要考慮的不只是諧振頻率，還有介電質材料。最常用的材料是 Z5U（barium titanate ceramic）。此物質之介電係數很高。可用很小的大小作到很大的電容值，諧振頻率在 1MHz 至 20MHz 之間，依設計及結構之不同，在諧振頻率以上，Z5U 的特性隨介質之損失因素變差，變成主要之考慮，因而限制其使用至約 50MHz。

另一種經濟使用的介質是 NPO（strontium titanate）。此物質之高頻特性較好，因為其介電係數較低。以此介質製成的電容器不適於 10MHz 以下之去耦合用途。NPO 有較好之溫度穩定性，電容值（及諧振頻率）較不會因環境溫度而變動。若 Z5U 與 NPO 電容器並聯時，因 Z5U 之高介電值，會加入阻尼在 NPO 之諧振頻率上，因此對低於 50MHz 之應用，最好使用單一個好的，低電感的 Z5U 電容器，這是因為 Z5U 同時具有極佳的低頻去耦合及降低輻射之功能。

在整個 PCB 上，以 1 吋格狀之分佈放置 1nF（100pF）之電容（諧振頻率很高），可

額外防止反射及信號及電源平面產生的 RF 電流，特別是當使用高密度之 PCB 堆疊時，這些額外的去耦合電容並沒有一定的放置位置，以集總電路分析可證明此電容之去耦合功效與其放置位置並無很大的關係，隨 PCB 之諧振結構之不同，此格狀分佈之電容可能小到 30-40pF。

VLSI 及高速元件（如 F，ACT，BCT，CMOS，ECL 邏輯族）就需要並聯的去耦合電容了。當元件之 edge rate 變得陡峭時，會產生較高之 RF 電流分佈。並聯之電容可對富含高頻 RF 能量之電源平面提供較佳之旁路功能。放置多個成對的電容在 VLSI 元件的電源及接地腳之間，在四個邊上。這些高頻去耦合電容通常為 $0.1 \mu F$ 並聯 $0.001 \mu F$ ，對 50MHz 及更高之 clock 頻率，使用 $0.01 \mu F$ 並聯 100pF。

雖然在此章之焦點是放在多層板，單層及雙層板同樣需要去耦合電容，圖 3.10 畫出了雙層板放置去耦合電容之正確及不正確之方法。在放置去耦合電容時，需時時考慮地迴路之控制，當使用具電源及接地平面之多層板時，去耦合電容可以放在鄰近元件電源腳處之任意地方。

圖 3.10 中， V_{gnd} 表示因 LdI/dt 上之雜訊，此 V_{gnd} 會在整個板子的地結構上產生 common-mode 電壓，故應儘量減短在板子之地結構與去耦合電容間之地路徑。

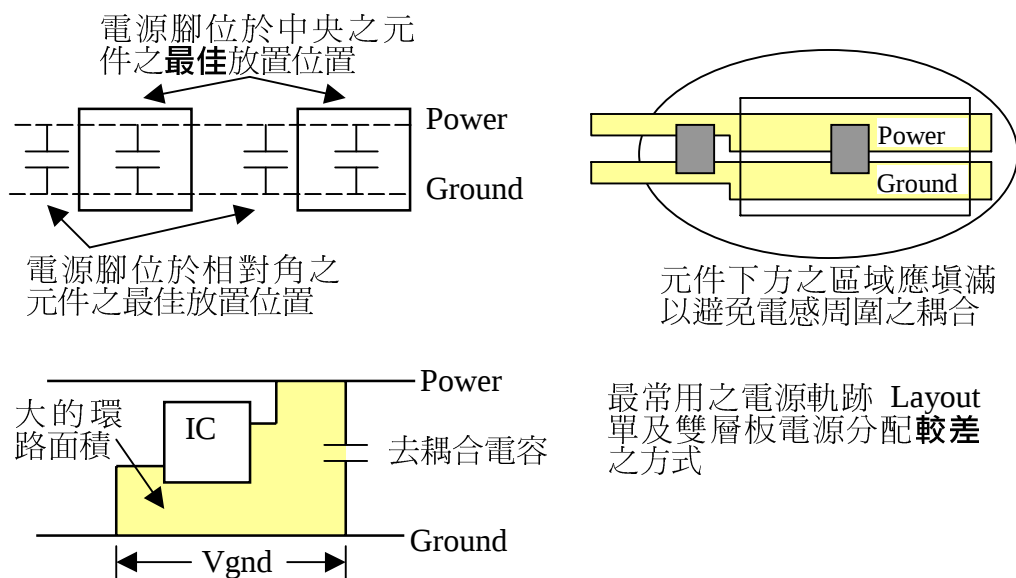


圖 3.10 雙層板之去耦合電容之配置

第 3 項 大型電容

大型電容提供當在最大負載下所有 data、address 以及 control 信號同時切換時，所需之 dc 電流及電壓。IC 元件會在電源平面上導致電流變動。由於電壓突降之故，此電流變動會導致元件之錯誤動作，大型電容提供電路之能量儲存以維持所需之電流及電壓。在 EMI 控制上大型電容並不佔很大之份量。

大型電容應與高諧振頻率之去耦合電容合併使用，以提供元件之 dc 電源以及電源平面之 RF 調變，對於每兩個 VLSI 或 LSI 元件，以及下列位置，要放置一個大型電容：

- ♣ 電源供應器進入 PCB 之電源輸入連接器之位置。
- ♣ 附屬卡周邊次級電路之 I/O 連接器的電源端。
- ♣ 電源消耗大之電路或元件旁。
- ♣ 距電源輸入連接器最遠的位置。
- ♣ 與 dc 輸入端遠離之高密度元件區。
- ♣ Clock 電路旁邊。

當使用大型電容時，選擇電容器之額定電壓兩倍於該電源信號以避免因電壓突波造成電容破壞。例如，對 5V 之電源使用額定最少 10V 之電容器，表 3.3 列出一些常用之邏輯族所需要的電容器數目，此表是基於最大可允許之電壓降，亦即等於該電路之雜訊免疫力之 25%，注意到對於標準 CMOS 邏輯族，此表是較保守估計，因元件之 trace 導線並無法提供所需的鋒值湧浪電流而不會引發電壓降的。

記憶體陣列需要額外的大型電容，因於 refresh 週期時其需要額外之電流以正常動作，對於多腳數之 VLSI 元件亦同，高密度 PGA（Pin grid array）模組亦需額外的大型電容，特別是當所有信號、address、以及控制信號在最大電容負載下同時變換時。

Peak Transient Current requirements (mA)			
Logiv Family	Gate Overcurrent (mA)	1 Gate Drive (mA)	No. of Decoupling Capacitors for fan-out of 5 Gates + 10cm Trace Length
CMOS	1	0.3	0.6
TTL	16	1.7	2.6
LS-TTL	8	2.5	2.0
HCMOS	15	5.5	1.2
STTL	30	5.0	1.8
FAST	15	5.5	1.8
ECL	1	1.2	0.9

表 3.3 使用之邏輯族所需之去耦合電容之數量

利用方程式（3.1）來計算這些電容所消耗的峰值湧浪電流，注意到使用超過所需數量之電容不會比較好，過多之電容會吸引大量之電流因此在電源供應器上造成過度負擔。

第 4 章 Clock 電路

Clock Generator 及其相關元件、分佈導線為 PCB 產生之輻射之重要來源。Clock 電路區是定義為包括振盪器及其 buffers、drivers、及相關元件（包含主動及被動元件）之實體區域。

RF 輻射直接與主動元件之 rise (edge) 及 fall time 有關。方程式 (4.1) 可用來決定最高所會產生之 RF 頻率，此方程式並未考慮進去主頻之諧波。

$$f_{\max} = \frac{1}{\pi \times tr} \quad (4.1)$$

此處

$$f_{\max} = \text{最大所產生之 RF 頻率}$$
$$tr = \text{pulse (edge) 之 rise time}$$

例如，2ns 之 edge rate，一般的 clock driver 及元件，可能輻射 RF 能量高達 160MHz，過了該頻率會快速降低至可忽略，可能之 RF 嚴重頻譜會到達 $10 \times f_{\max}$ ，或是 1.6GHz，包含主頻之諧波成份。

Clock 之 trace 總是應先手工佈線，然後其他之信號才用自動佈線程式來佈線。

第 1 節 Placement 零件佈置

將 clock 電路放在機板中央位置或是 PCB 之金屬銅柱接地點，而不要放在邊緣或是近 I/O 電路區域。如果 clock 要離開板子到附屬卡上，或是排線，或其他周邊等，將 clock 電路遠離內部連接線，直接在連接器處對 clock trace 作 terminated。Clock trace 要成點對點的輻射狀，在連接器端對 clock 作 termination 可提供一適切之終端，而不會使 clock trace 因未適當終端而成開路變成一單極天線，因而亦提升信號品質，除了對 clock trace 有適當之終端外，同時也加強了 RF 之壓制，避免其耦合至其他敏感線路，將振盪器及晶體直接安裝在 PCB 上，**不要使用 socket**。

Socket 會增加接腳長度電感，並使得輻射及耦合之路徑更增多 (LdI/dt)，造成 RF 電流及諧波輻射或耦合至內部或外部環境之中，此一橫越在電感上的地彈跳電壓增加了 common-mode 之 EMI 準位。

只把與 clock 電路有關之 trace 放在 clock generator 區域，避免放置任何其他 trace 在接近、之下、穿越此 clock 區域之其他相鄰信號佈線層，此佈線遠離區只針對在 (top) component layer 與第一 image layer (ground 或 power) 之間之第二 microstrip 信號層。在雙層或四層板若 trace 必須經過此區，則只應在 solder side，不要在振盪

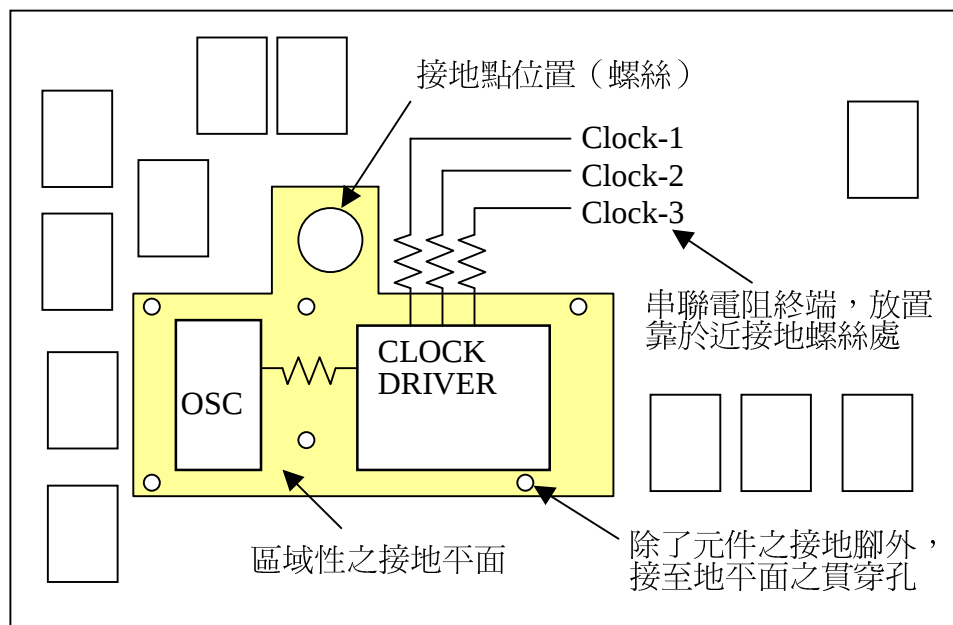
器之輸出腳旁邊或是振盪器正下方佈線。

預留使用法拉第籠子（金屬罐子將物體 100%包起來）的空間，圍著整個 clock 電路區包圍一圈的接地 trace（除了信號 trace 出去之處），此屏蔽應是 RF 形式的，類似於 UHF 或是微波之應用，最好的作法是圍繞此元件放一圈的貫穿孔接地，總是提供額外的接地給振盪器模組的金屬外殼，因振盪器之接地腳通常並不能充分的將其內部產生的 RF 電流接地，其接地腳只是提供 dc 電壓之參考準位，並非設計成是一個低阻抗的路徑而能將 RF 電流接地，金屬外殼則可將 RF 電流接地。

當頻率超過 5MHz 或 clock edges 比 5ns 快時，使用 oscillator 振盪器以取代獨立元件以及 crystal，當然，特殊電路會有例外。

第 2 節 區域性的接地平面

將振盪器、晶體及 clock 支援電路如 buffer、driver 等，放置在單一的區域地平面之上，此一區域化的地平面需在第一層（component layer），並且直接經由振盪器的接地腳及最少兩個貫穿孔，接到機板之地平面，此地平面同時應位於接地銅柱之旁邊且接到接地銅柱。下面加上防焊塗層（solder mask）在此區域地平面上，Solder mask 會改變 top layer 與區域地平面間之介電係數，因而減少 source 與 ground 之間所需之 RF 耦合作用，一區域地平面之例子如圖 4.1。



- Note 1：佈線不要經過 layer 1 之區域性地平面
- Note 2：若有兩個 microstrip 層，不要在 layer 2 佈線經過區域性地平面（佈線遠離區域）
- Note 3：區域性地平面是一個完整的銅箔層，無 solder mask，經 vias 連接至地平面，且接至接地銅柱

圖 4.1 區域性接地平面

以下為在 clock 區域之下加區域地平面之理由：

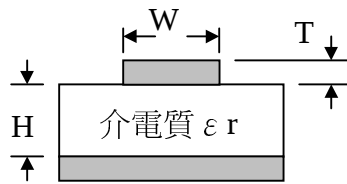
- ♣ 振盪器之內部電路產生 RF 電流，如果振盪器是裝在金屬殼之中，其 dc power pin 同時可當作 dc 電壓參考位準及 RF 電流接地路徑之用，隨著所選用之振盪器之不同（CMOS、TTL、ECL 等），其 RF 電流可能很大，以致於接地腳無法足夠的將此一 LdI/dt 電流導引至接地端，結果此金屬殼變成一 **monotropic** 天線，與其最近的接地平面若是離開兩三層遠的話，就無法提供足夠的輻射耦合路徑給 RF 電流接地。
- ♣ 如果振盪器是表面黏著元件，上面提及的情況會更糟，因 SMT 元件一般都是塑膠包裝，在該包裝內部產生 RF 電流會輻射進入空間中以及耦合至其他元件，相對於振盪器之接地腳阻抗，PCB 材質之高阻抗會阻礙 RF 逆流之接地，SMT 包裝之元件永遠會比金屬外殼輻射更多的能量。
- ♣ 在振盪器及 clock 電路之正下方放置一區域地平面，可提供一映像平面以捕捉產生於振盪器內部及相關線路上的 **common-mode** RF 電流，因而可減低 RF 輻射，此一區域地平面同時也是 RF 能量極高之區域（RF hot），為了將 **differential-mode** 之 RF 電流也導引至此區域地平面，必須要提供多重的連接至系統之地平面，由區域地平面，layer 1，至板子內部 **ground plane** 之貫穿孔可提供低阻抗之接地路徑，為了強化此區域地平面之效果，clock 產生器線路應靠近機殼接地（銅柱）之處，以 360° 之貫穿孔連接墊來連接，以確保其連接之低阻抗，如果只以 **ground trace** 來作連接的話，就破壞了其低阻抗之地連接。有一種地連接墊為車輪狀的，是為熱散逸之考慮，但會增加阻抗而降低連接之功效。
- ♣ 當使用區域地平面時，不要將 trace 佈線在該平面中，此會破壞映像平面之功能。如果 trace 經過區域地平面，會造成接地迴路電位及地平面之不連續性，這一地迴路會在較高頻率處造成問題，所以，為什麼使用區域地平面後又用 trace 去破壞它呢？
- ♣ 相關之支援線路必須要鄰近於振盪器，擴展此一區域地平面以將支援電路包含進來。一般而言，一個振盪器推動一個 **buffer**，此 **buffer** 又是一超級快速，**fast-edge-rate** 之元件。因為此一元件之特性，RF 電流就會是其主頻之諧波。因其以一大幅度之電壓變動及電流注入信號 trace，使得同時會存在有 **common-mode** 及 **differential-mode** 之 RF 電流，這些電流就可能造成功能上之問題及 EMI 之無法符合。

第 3 節 阻抗控制

對 clock trace 應該要控制阻抗。要計算適當之 trace 寬度及其與最近平面之距離，用方程式（4.2）到（4.8）來計算 **microstrip** 或是 **stripline** 之 trace 阻抗。板子的製造商及 CAD 程式可以很輕易的為你計算。

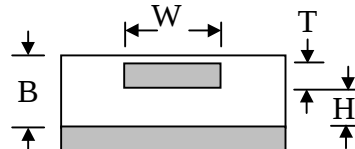
對 microstrip 方式而言：

表層之 microstrip 阻抗大約為：



$$Z_0 = \left(\frac{87}{\sqrt{\epsilon_r + 1.414}} \right) \ln \left(\frac{5.98H}{0.8W + T} \right) \quad (4.2)$$

埋入式之 microstrip 阻抗大約為：



$$Z_0 = \left(\frac{K}{\sqrt{0.805\epsilon_r + 2}} \right) \ln \left(\frac{5.98H}{0.98W + T} \right)$$

此處 $60 \leq K \leq 65$ ，或是

$$Z_0 = \left(\frac{87}{\sqrt{\epsilon_r + 1.41}} \right) \ln \left(\frac{5.98H}{0.8W + T} \right) \quad (4.3)$$

此處

$$\epsilon_r = E \left[1 - e \left(\frac{-1.55B}{H} \right) \right]$$

傳輸延遲為：

$$t_{pd} = 1.017 \sqrt{0.475\epsilon_r + 0.67} \text{ (ns/ft)} \quad (4.4)$$

每英呎之電感為：

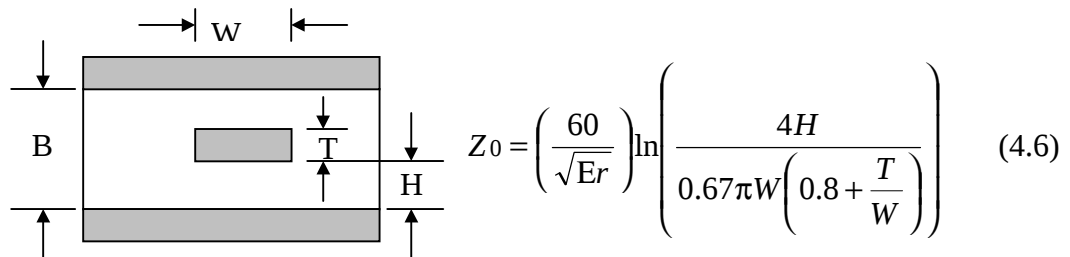
$$L_0 = Z_0^2 C_0 \quad (4.5)$$

此處

- Z_0 = 特性阻抗 (ohms)
- t_{pd} = 傳輸延遲 (ns/ft)
- W = Trace 之寬度 (inches)
- T = Trace 之厚度 (inches)
- H = 信號 trace 與參考平面之距離 (inches)
- B = 總共之介電質厚度
- ϵ_r = 平板物質之介電係數
- C_0 = 每英呎之電容量
- L_0 = Trace 之電感

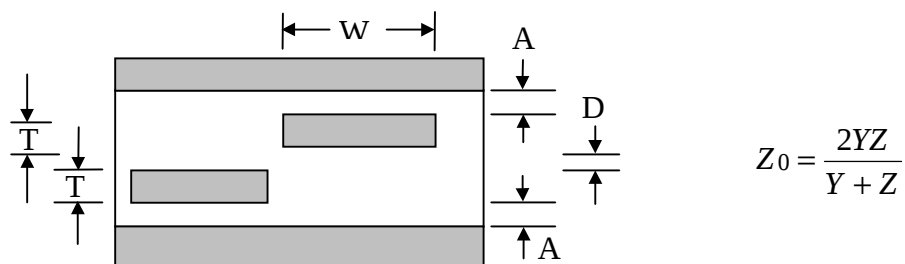
對 stripline 方式而言：

單一 stripline 之阻抗之近似公式爲：



$$Z_0 = \left(\frac{60}{\sqrt{Er}} \right) \ln \left(\frac{4H}{0.67\pi W \left(0.8 + \frac{T}{W} \right)} \right) \quad (4.6)$$

Dual stripline 之阻抗之近似公式爲：



$$Z_0 = \frac{2YZ}{Y + Z}$$

此處

$$Y = \left(\frac{60}{\sqrt{Er}} \right) \ln \left(\frac{8A}{0.67\pi W (0.8 + T/W)} \right)$$

以及

$$Z = \left(\frac{60}{\sqrt{Er}} \right) \ln \left(\frac{8(A + D)}{0.67\pi W (0.8 + T/W)} \right)$$

或是

$$Z_0 = \frac{80 \left[1 - \left(\frac{A}{4(A + D + T)} \right) \right]}{\sqrt{Er}} \ln \left[\frac{1.9(2A + T)}{0.8W + T} \right] \quad (4.7)$$

傳輸延遲爲

$$t_{pd} = 1.017 \sqrt{Er} \quad (4.8)$$

此處

- Z_0 = 特性阻抗 (ohms)
- t_{pd} = 傳輸延遲 (ns/ft)
- W = Trace 之寬度 (inches)
- T = Trace 之厚度 (inches)
- H = 信號 trace 與參考平面之距離 (inches)
- B = 總共之介電質厚度

A = Trace 與接地或電源平面間之介電質厚度

E_r = 平板物質之介電係數

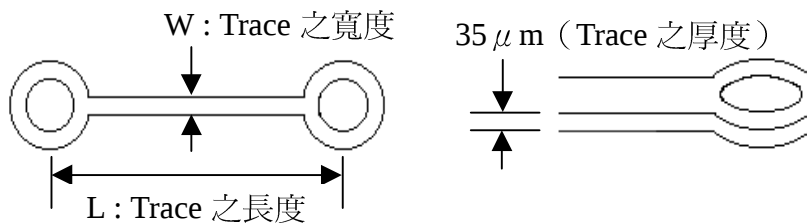
表 4.1 列出一 10 吋見方大小之銅箔層在 PCB 內部之阻抗。表 4.2 分析一高 35 μ m 之典型 trace 之阻抗。

要使 clock trace 在整條路徑上皆保持一常數之阻抗，隨著應用之不同，一般在 55 到 75 $\Omega \pm 10\%$ 。如果有很多的貫穿孔（每個 1-3nH），其會改變整個 trace 之阻抗，因而可能造成 EMI 及功能上之問題。

Frequency (MHz)	Skin Depth (cm)	Impedance (Ω /sq)
1	6.6×10^{-3}	0.00026
10	2.1×10^{-3}	0.00082
100	6.6×10^{-4}	0.00260
1000	2.1×10^{-4}	0.00820

表 4.1 10 吋見方銅箔層之阻抗

表 4.2 典型之 PCB trace 之阻抗值



	Impedance 阻抗						
	W=1mm				W=3mm		
	L=1cm	L=3cm	L=10cm	L=30cm	L=3cm	L=10cm	L=30cm
DC, 50Hz							
To 1kHz	5.7m Ω	17M ω	57m Ω	170m Ω	5.7m Ω	19m Ω	57m Ω
10 kHz	5.75m Ω	17.3m Ω	58m Ω	175m Ω	5.9m Ω	20m Ω	61m Ω
100 kHz	7.2m Ω	24m Ω	92m Ω	310m Ω	14m Ω	62m Ω	225m Ω
300 kHz	14.3m Ω	54m Ω	225m Ω	800m Ω	40m Ω	175m Ω	660m Ω
1 MHz	44m Ω	173m Ω	730 Ω	2.6 Ω	0.13 Ω	0.59 Ω	2.2 Ω
3 MHz	0.13m Ω	0.52 Ω	2.17 Ω	7.8 Ω	0.39 Ω	1.75 Ω	6.5 Ω
10 MHz	0.44m Ω	1.7 Ω	7.3 Ω	26 Ω	1.3 Ω	5.9 Ω	22 Ω
30 MHz	1.3 Ω	5.2 Ω	21.7 Ω	78 Ω	3.9 Ω	17.5 Ω	65 Ω
100 MHz	4.4 Ω	17 Ω	73 Ω	260 Ω	13 Ω	59 Ω	220 Ω
300 MHz	13 Ω	52 Ω	217 Ω		39 Ω	175 Ω	
1 GHz	44 Ω	170 Ω			130 Ω		

第 4 節 傳輸延遲 Propagation Delay

傳輸延遲是導線每單位長度之電容量之函數，此電容量又是介電係數、導線寬度、trace 與映像平面間之高度的函數。以 G-10 之玻璃纖維板（E_r≐5.0）上之 microstrip 導線為例，其傳輸延遲為 1.77ns/ft。以 FR-4 材質（E_r≐4.6）上之埋入式 microstrip

導線而言，其傳輸延遲為 1.72ns/ft (0.143ns/inch 或 0.36ns/cm)，最好先用 (4.4) 及 (4.8) 計算傳輸延遲。

第 5 節 電容性負載

電容性輸入負載會影響 Trace 之阻抗，此一輸入負載亦會隨 gate 之 loading 增加而增加，一傳輸線之空載傳輸延遲定義為：

$$t_{pd} = \sqrt{L_0 C_0}$$

若一導線上總計之負載為 C_d (包括所有的負載之電容加起來)，則此一傳輸線上所增加之傳輸延遲為下式：

$$t'_{pd} = t_{pd} \sqrt{1 + \frac{C_d}{C_0}} \quad (4.9)$$

例如，假設一信號路徑有 5 個 CMOS 負載，每個有 10pF 電容量 (總共 50pF= C_d)，一般之 50Ω 特性阻抗 ($t_r=1.77\text{ns/ft}$) 玻璃纖維電路板上之 50Ω stripline，寬 25mil，其電容值為 $C_0=35$ ，則修正後之傳輸延遲為：

$$t'_{pd} = 1.77 \text{ ns/ft} \sqrt{1 + \frac{50}{35}} = 2.75 \text{ ns/ft} \quad (4.10)$$

可以看做是：信號會比我們所預期的時間晚 2.75ns/ft 才到達目的地。

因 gate 之 loading 改變，此傳輸線之特性阻抗 Z_b 現在變成為：

$$Z_b = \frac{Z_0}{\sqrt{1 + \frac{C_d}{C_0}}} \quad (4.11)$$

此處

Z_0 = 原先之傳導線阻抗 (ohms)

Z_b = 修正後之傳導線阻抗 (ohms)

C_d = 輸入端之 gate 電容量

C_0 = 傳導線之特性電容量

對前述之例子計算

$$Z_b = \frac{50}{\sqrt{1 + \frac{50}{35}}} = 32\Omega$$

對每一個 ECL 輸入端之典型電容值 C_d 為 5pF，對 CMOS 為 10pF，對 TTL 為 10-15pF，典型之 C_0 值為 2-2.5pF/inch。插座及貫穿孔也會增加該分佈電容量 (插座 $\approx$ 2pF，

貫穿孔 $\approx 0.3-0.8\text{pF}$)。得到

$$t_{pd} = \sqrt{L_0 C_0} \quad \text{以及} \quad Z_b = \sqrt{\frac{L_0}{C_0}}$$

C_0 可以用下式計算

$$C_b = 1000 \left(\frac{t_{pd}}{Z_0} \right) \text{pF/length} \quad (4.12)$$

此一加負載之傳輸延遲之值必須要用來決定此一 trace 是否須以傳輸線來考慮之。
(Transmission line : $2 \times t'_{pd} \times \text{trace 長度} > t_r$ 或 t_f , t_r : rise time , t_f : fall time)。

第 6 節 去耦合 DeCoupling

Clock 之電路元件應要以電容器作 RF 去耦合，這是因為產生自這些元件之切換能量會注入電源及接地平面。這些能量會轉移至其他電路或子系統，形成 common-mode 或 differential-mode 之 RF noise，此主題已在第三章提出過，在此僅簡略的討論之。針對不同之應用，可能同時需要如袒質 (tantalum) 或高頻單石陶瓷 (ceramic monolithic) 之大型電容。並且，單石電容之諧振頻率應高於需要壓制之 clock 諧波。典型上，對於電路之 edge rate 在 2ns 以下之場合選用諧振頻率在 10 至 30MHz 之電容。大多之 PCB 之諧振頻率在 200 至 400MHz 之範圍，適當的選擇去耦合電容，再加上考慮 PCB 之諧振頻率，可提供較加的 EMI 壓制。在第三章的表 3.1 及 3.2，對軸向型接腳及輻射狀型接腳電容是很有用的。表面黏著元件，因較小之接腳電感，通常有 100 倍以上之諧振頻率。鋁質電解電容在高頻去耦合之效率較差，較適合用在電源子系統及電源線濾波。

對所有之 clock 區域除了 bypass 電容外還要再加適當的高頻去耦合電容，對所有重要的 clock 之諧波，計算其所需壓制 RF 能量之電容器大小。所選擇之電容器其諧振頻率要大於所需壓制之 clock 諧波，一般考慮到 clock 頻率之第五次諧波，依據方程式 (4.13) 來計算去耦合電容器之電容性電抗 (capacitive reactance, self-reactance frequency in ohms)。

$$X_c = \frac{1}{2\pi f C} \quad (4.13)$$

此處

X_c = 電容性電抗 (ohms)

f = 諧振頻率

C = 電容值

第 7 節 Trace 之長度

在 Layout 之過程，當要擺放使用 clock 或周期信號之元件位置時，調整位置使其可達到最短長度、直線路徑、及最少貫穿孔數。貫穿孔會增加 trace 之電感（1-3nH/每個孔），在 trace 的電感會造成信號功能品質之顧慮及 RF 輻射。當 clock 信號之 edge rate 越高時，這些設計上之要求就越顯得重要。若一 clock 或一周期信號要從一佈線層到另一層，此穿越點應利用元件之接腳，以減少額外之貫穿孔因而降低 trace 電感。

表 4.3 列出了 32mm 寬的 trace 之阻抗值，此數值與表 4.1 不同因為 trace 之寬度不一樣。

Frequency MHz	Impedance at Various Lengths		
	1"	2"	10"
1	0.13	0.38	1.25
10	1.25	3.75	12.5
100	12.5	37.5	125.0

表 4.3 32mm (1/8") 寬 trace 之阻抗

在 I/O 元件(或連接器)附近 2 吋內之任何周期信號或 clock 其 edge rate 應低於 10ns，因為大部份之 I/O 電路（serial，parallel，audio 等等）一般都為較慢之電路。在 I/O 元件（或連接器）附近 3 吋內之任何周期信號或 clock 之 edge rate 應於 5ns 與 10ns 之間。但若有採用分割隔離則可不受此限，這是因為若使用電源和接地平面分割及隔離可防止其他區域產生之 RF 電流進入 I/O 區域，設計之終極目標即為防止周期信號產生之 RF 電流進入 I/O 電路。

另一指導原則『使 Clock 線儘量短』亦是有效的。trace 越長，產生 RF 電流的可能性就越高，也就造成了越多的 RF 能量分佈。Clock trace 並需要 terminate 以避免漣波及 RF 電流之產生，因為未經 terminate 之線會有反射之現象導致 EMI 的發生，Clock 同時也可能因漣波之發生而導致功能不正常。

漣波是因信號之反射及 trace 阻抗不匹配而造成的，這些反射會降低信號品質甚至導致功能失常。因相位之總和之故，其可能會加大或減小，終而使 clock 變成無效，因此要以傳輸線理論來考慮之以避免反射之造成。

第 8 節 阻抗匹配-反射

當信號之 edge 變得更快時，更需要考慮到此路徑之傳輸及反射延遲，如果由 source 至 load 之傳輸時間大於 edge 時間的話，則要視此為一「電性上的長 trace」，此一「電性上的長 trace」仍可能造成功能上之問題，包括串音，漣波及反射。對長的路徑時，

EMI 的考慮通常是擺在功能考慮之後的，即使此一長 trace 會存在有振盪之現象，仍可用壓抑或屏蔽之方式將產生之 EMI 能量遮蔽住，結果是此系統可能會因 source 至 load 間阻抗之不匹配而使功能失常。當 edge 時間佔傳輸時間的大百分比時，產生的反射就會造成信號品質及 EMC 的問題了，解決此一反射問題須拉長 edge 時間或是縮短負載元件間之距離，或是用點對點的幅狀佈線且有著正確的 termination。

圖 4.2 示出可能產生之不同形式之信號反射狀況。當 trace 有適切之終端時，由 source 至 load 傳輸的是一平滑的信號脈波，如圖 4.2a，不會有 overshoot，undershoot，或反射產生，理論上說，這是所能產生的最佳狀況，實際上，此一百分之百乾淨之信號只在理想狀況中存在，實際的元件總是會有一些漣波之產生，因輸出切換電晶體本身就非理想元件之故。

在圖 4.2b 中，所示為對一電性上長的 trace 之負載的輸入端，所看到之漣波現象（overshoot 及 undershoot），過於嚴重之 undershoot 會使得負載誤認為「0」準位而錯誤的觸發之，此錯誤的觸發因而造成電路之誤動作，如果信號的長度相對於傳輸延遲時間為較長的話，反射即會發生並在兩點間來回彈跳，隨著 clock 及 driver 之頻率及 edge rate 之不同，信號之相位可能是相加或相減，不論相加或相減，結果都可能會產生漣波，影響到系統之正常功能。正確的 termination 可吸收掉這些不要的能量而避免產生漣波。

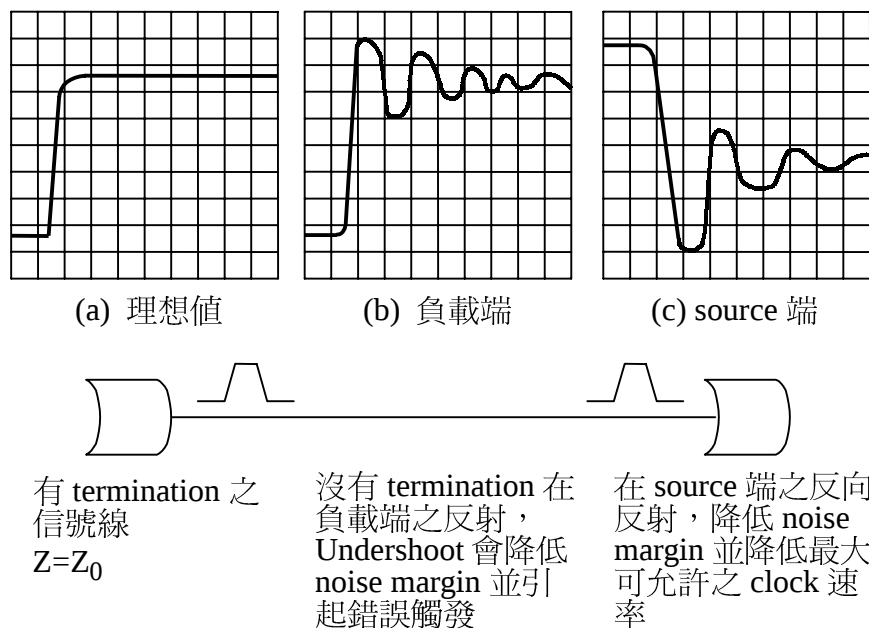


圖 4.2 Trace 上的漣波狀況

在圖 4.2c 中，這是發生在未 termination 信號線之 source 端之現象。反向之反射（backward reflection）會引起 noise margin 降低並傷害到所需要的信號品質；當反向之反射發生時，正常操作所需之 edge rate 之速率會被降低至較慢之時間。此一 clock 之品質降低可能會大到影響 PCB 上其他之功能、所需之速度、timing 等等，因之造成功能降低至無法動作。

如何決定一 trace 是否為『電性上之長 trace』，下一節有清楚的描述。

第 9 節 計算 trace 之長度

假設在 trace 之典型傳輸速度為光速之 60%，依照方程式（4.14）計算最大可允許之未終端傳輸線長度。此方程式是依據假設來回之傳輸延遲等於信號之升起時間。

$$L_{\max} = \frac{t_r}{2t'_{pd}} \quad (4.14)$$

此處 t'_{pd} = 傳輸延遲， t_r = 上升時間（ns）， $L_{\max}$ = 長度（cm）

圖 4.3 以圖解方式解釋此方程式。

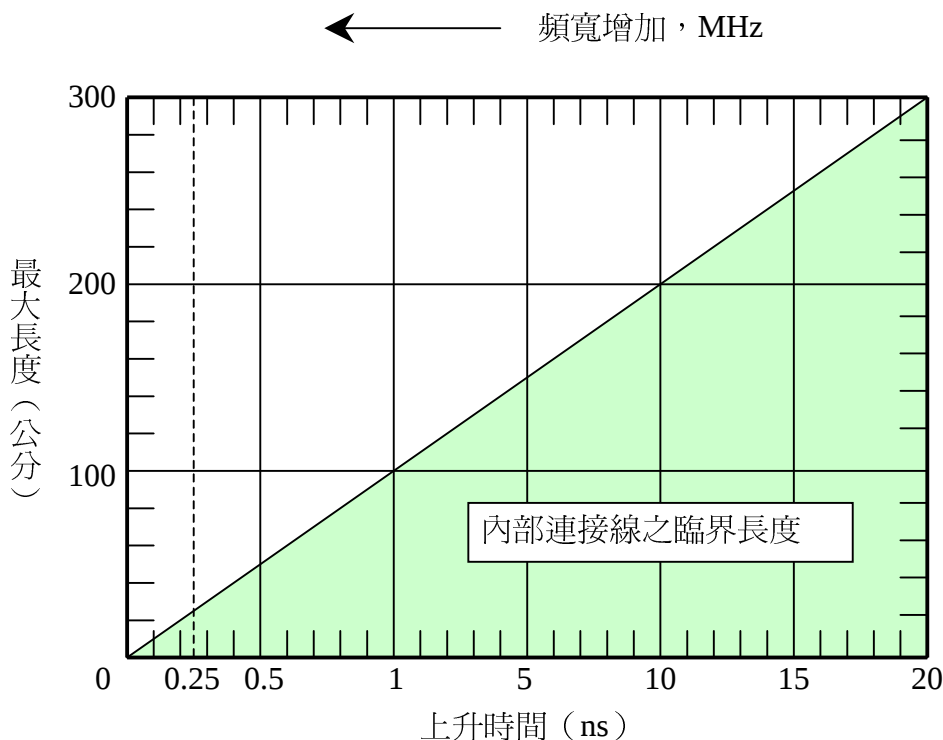


圖 4.3 最大未終端之線長度相對於信號之 edge rate

以方程式（4.4）及（4.8）來簡化方程式（4.14），得到方程式（4.15）及（4.16）列出未終端之最長電性長度。

$$L_{\max} = 9 \times t_r \quad (\text{for microstrip, 公分}) \quad (4.15)$$

$$L_{\max} = 7 \times t_r \quad (\text{for stripline, 公分}) \quad (4.16)$$

例如，如果信號 edge 為 2ns，以 microstrip 佈線之最大未終端長度為：

$$L_{\max} = 9 \times t_r = 18\text{cm}$$

若以 stripline 佈線之最大未終端長度為：

$$L_{\max} = 7 \times t_r = 14\text{cm}$$

若 trace 比 $L_{\max}$ 要長，則應使用 termination（在負載端）以防止反射之發生。在一

阻抗不匹配之長傳輸線上發生之漣波可能會導致電路不正常或是產生 RF 電流。即使有良好的 termination，在 trace 上仍然會存在 RF 電流。使用一串聯電阻（在 source 端）減緩 clock 之 edge rate，可減低 trace 上之 RF 電流，防止反射、漣波，使阻抗匹配，減低 overshoot 及 undershoot 以及降低所產生之 RF 能量。

如果勢必要有一條電性上的長 trace 含有 clock 之 edge rate 快於 3ns，要根據傳輸線技術來對此 trace 佈線，如此以減低漣波及反射並可保持 trace 之固定阻抗，理想上，trace 之阻抗應保持在 $\pm 10\%$ 之內。在某些例子，如已仔細考慮過此較寬鬆之變化量對 trace 阻抗之影響， ± 20 至 30% 亦是接受的。trace 之寬度，在映像平面上之高度，介電係數，microstrip 或 stripline 方式之參數，這些因素決定 trace 之阻抗（方程式（4.2）至（4.8）），對所有周期信號及 clock 信號，永遠要保持固定之阻抗。

另外一種以特性阻抗、傳輸延遲、以及電容性負載，來決定信號線之終端之數學方程式敘述如下。分成 Microstrip 及 Stripline 兩方面。

第 1 項 Microstrip

問題：5 吋長的表面 microstrip trace，上有 5ns edge rate 之信號，在該路徑上分佈有 6 個負載（邏輯元件）。每個元件之輸入電容為 6pF，在此路徑上需要 termination 嗎？

trace 寬度	W=0.010 吋
在平面上之高度	H=0.012 吋
trace 之厚度	T=0.002 吋
介電係數	Er=4.7

A：使用方程式（4.2）及（4.4）計算特性阻抗及傳輸延遲。

$$Z_0 = \left(\frac{87}{\sqrt{Er + 1.41}} \right) \ln \left(\frac{5.98 \times H}{0.8 \times W + T} \right) = \left(\frac{87}{\sqrt{4.7 + 1.41}} \right) \ln \left(\frac{5.98 \times 12}{0.8 \times 10 + 2} \right) = 69.4\Omega$$

$$t_{pd} = 1.017 \sqrt{0.475Er + 0.67} = 1.73 \text{ ns/ft } (0.144 \text{ ns/in})$$

B：分析電容性負載

計算分佈電容量 C_d （此路徑長度之總電容量）

$$C_d = 6 \times C_d / \text{trace length} = (6 \times 6\text{pF}) / 5\text{in} = 7.2\text{pF/in}$$

以方程式（4.12）計算 trace 之本質電容（intrinsic capacitance） C_0

$$C_0 = t_{pd} / Z_0 = 1.73 / 69.4 = 2.08\text{pF/in}$$

以方程式（4.9）計算單程之傳輸延遲

$$t'_{pd} = t_{pd} \sqrt{1 + \frac{C_d}{C_0}} = 0.144 \sqrt{1 + \frac{7.2}{2.08}} = 0.30 \text{ ns/in } (3.65 \text{ ns/ft})$$

C：進行傳輸線分析

當 edge 傳輸時漣波及反射可被遮蓋掉，若是

$$2 \times t'_{pd} \times \text{trace length} \leq t_r \text{ 或 } t_f$$

在此例中，

$$2 \times t'_{pd} \times \text{trace length} = 2 \times 0.30 \text{ ns/in} \times 5 \text{ in} = 3.00 \text{ ns}$$

所給予的 edge rate 是為 $t_r = t_f = 5 \text{ ns}$ ，而傳輸延遲 ($3.00 \leq 5$)，因此不需要 termination。

有時為保險起見，會設定為 ($3 \times t'_{pd} \times \text{trace length}$) 以保留較大之 margin。在此狀況下，傳輸延遲為 4.5 ns ；因此，仍然不需要 termination。

問題：假設現在 trace 是以 stripline 方式佈線，需要 termination 嗎？

由以上之計算：

$$t_{pd} = 1.017 \times \sqrt{E_r} = 2.2 \text{ ns/ft} = 0.18 \text{ ns/in}$$

$$C_0 = t_{pd} / Z_0 = 0.18 / 69.4 = 2.75 \text{ pF/in} \quad (35 \text{ pF/ft})$$

$$C_d = \text{同上} \quad (7.2 \text{ pF/in})$$

$$t'_{pd} = t_{pd} \sqrt{1 + C_d / C_0} = 0.35 \text{ ns/in} \quad (4.28 \text{ ns/ft})$$

$$2 \times t'_{pd} \times \text{trace length} = 2 \times 0.35 \text{ ns/in} \times 5 \text{ in} = 3.50 \text{ ns}$$

因此，此 trace 不需要 termination，因為 $3.50 \leq 5 \text{ ns}$ 。在傳輸延遲長了 0.50 ns ，這是因為其 t_{pd} 遠大於 microstrip 之故。

第 2 項 有負載之 stripline

問題：10 吋長的 stripline trace，上有 2 ns edge rate 之信號，在該路徑上分佈有 5 個負載（邏輯元件）。每個元件之輸入電容為 12 pF ，在此路徑上需要 termination 嗎？

trace 寬度	$W=0.010$ 吋
在平面上之高度	$B=0.012$ 吋
trace 之厚度	$T=0.0014$ 吋
介電係數	$E_r=4.6$

A：使用方程式 (4.6) 及 (4.8) 計算特性阻抗及傳輸延遲。

$$Z_0 = \left(\frac{60}{\sqrt{E_r}} \right) \ln \left(\frac{4 \times B}{0.67 \pi W \times \left(0.8 + \frac{T}{W} \right)} \right) = \left(\frac{60}{\sqrt{4.6}} \right) \ln \left(\frac{4 \times 20}{0.67 \pi 6 \times \left(0.8 + \frac{1.4}{6} \right)} \right) = 50.7 \Omega$$

$$t_{pd} = 1.017 \sqrt{E_r} = 2.18 \text{ ns/ft} \quad (0.182 \text{ ns/in})$$

B：分析電容性負載

計算分佈電容量 C_d （此路徑長度之總電容量）

$$C_d = 6 \times C_d / \text{trace length} = (6 \times 12 \text{ pF}) / 10 \text{ in} = 7.2 \text{ pF/in}$$

計算 trace 之本質電容（intrinsic capacitance） C_0

$$C_0 = t_{pd}/Z_0 = 0.182/50.7 = 3.58 \text{ pF/in (43.0 pF/ft)}$$

計算單程之傳輸延遲

$$t'_{pd} = t_{pd} \sqrt{1 + \frac{C_d}{C_0}} = 0.144 \sqrt{1 + \frac{7.2}{3.58}} = 0.32 \text{ ns/in (3.79 ns/ft)}$$

C：進行傳輸線分析

所有的重要項目是： $2 \times t'_{pd} \times \text{trace length} \leq t_r$ 或 t_f

在此例中，

$$2 \times t'_{pd} \times \text{trace length} = 2 \times 0.32 \text{ ns/in} \times 10 \text{ in} = 6.32 \text{ ns}$$

所給予的 edge rate 是為 $t_r = t_f = 2 \text{ ns}$ ，而傳輸延遲 ($6.32 \geq 2$)，因此需要 termination。來吸收傳輸線效應。

問題：假設現在 trace 是以 microstrip 方式佈線，需要 termination 嗎？

由以上之計算：

$$t_{pd} = 1.017 \times \sqrt{E_r + 0.67} = 0.14 \text{ ns/ft} = 1.72 \text{ ns/ft}$$

$$C_0 = t_{pd}/Z_0 = 0.14/50.7 = 2.76 \text{ pF/in (33 pF/ft)}$$

$$C_d = \text{同上 (7.2 pF/in)}$$

$$t'_{pd} = t_{pd} \sqrt{1 + C_d/C_0} = 0.26 \text{ ns/in (3.19 ns/ft)}$$

$$2 \times t'_{pd} \times \text{trace length} = 2 \times 0.26 \text{ ns/in} \times 10 \text{ in} = 5.20 \text{ ns}$$

因此，此 trace 需要 termination，因為 $5.20 \text{ ns} \geq 2 \text{ ns}$ 。

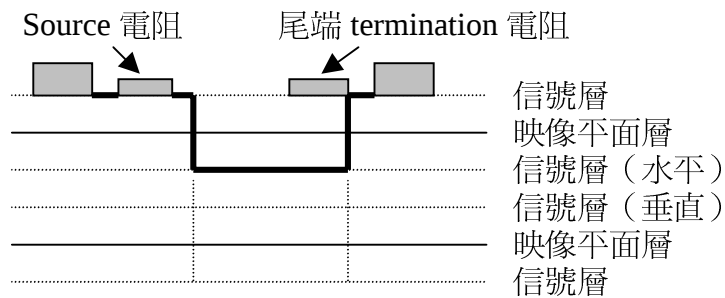
第 1 〇節 佈線層 Routing Layers

設計者常要考慮的問題是 clock 或週期信號之佈線要走在哪一層。此類信號應佈線在僅僅單一平面或是相鄰於單一映像平面之兩個平面。如圖 4.4，在選擇佈線層時有三點要注意：❶用哪些層來佈線，❷在所選定之層間跳躍，❸保持固定 trace 阻抗。在以下討論之。

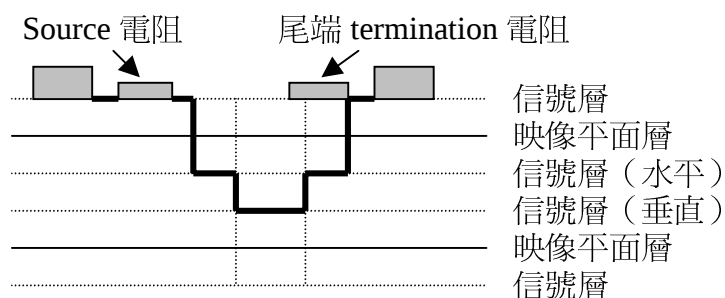
第 1 項 佈線層 Routing layers

1. 如果使用串聯終端電阻，直接將電阻連接到元件之腳位而不要在其中間放置貫穿孔。將電阻放在 top side 直接在元件輸出腳的旁邊，在電阻之後接一貫穿孔至內部之 stripline 層，相鄰之映像平面以地平面佳於電源平面，因為地平面對 RF 電流有較佳之 flux cancellation 效果。
2. 對六層或更多層板而言，不要將 Clock trace 佈線在底層（亦即在地平面及電源平面之下），板子的下半層（在中央之地平面及電源平面以下）通常是留給大的信號匯流排及 I/O 電路，在此一寧靜區域中之信號品質可能會因你把高速信號（快速 edge）放在其中而破壞之，且當將 trace 佈線到較下層時，trace 之分佈電容會改變，因而影響到功能及造成信號之耗損。

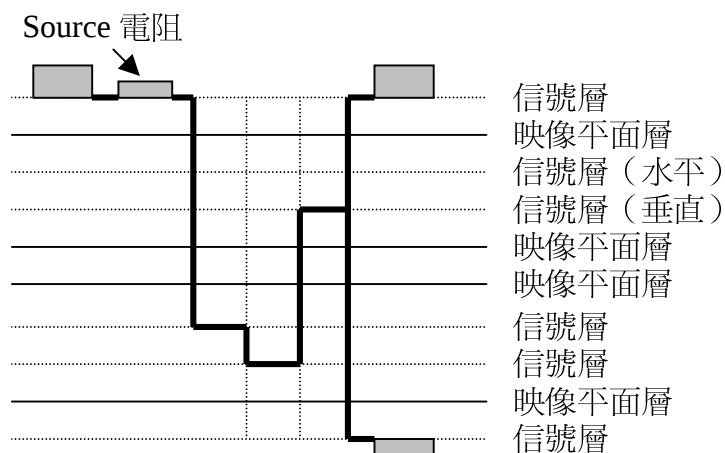
3. 若我們作到保持固定之阻抗及減低貫穿孔之使用數目，trace 之輻射不會比同軸線多，而當考慮電場 E，對映像平面之關係，磁通量亦能消除。



Clock 佈線之最佳 stripline 方式 (共 2 個貫穿孔)



Clock 佈線尚可之 stripline 方式 (共 4 個貫穿孔)



在板子另一面之尾端 termination 電阻

Clock 佈線之最差方式 (共 4 個貫穿孔)，此方式造成最大的貫穿孔數目及層間跳躍，這兩者應使其減少。

圖 4.4 Clock 信號之佈線層

在這些平面層間 (PCB) 會產生 EMI 問題之三種現象略述如下，了解到這些概念有助於解決 PCB 之 EMI 壓制問題。

1. 在層間跳躍之 clock trace 以及貫穿孔造成之映像平面之不連續性。
2. 由於元件瞬間同時轉態造成在映像平面上大的尖峰湧浪電流。

3. 在貫穿孔之環狀迴避區域（annular keep-out region）之通量損失（flux loss），若未遵從 3-W Rule 的話。（Trace 與貫穿孔之分隔距離必須遵從 3-W 規則，此 3-W 規則會在 4.16 討論之）

使用 Microstrip 或是 Stripline 來對 clock 佈線之優點及缺點如圖 4.5 及 4.6 並如下討論之。

- ♣ 外層：Microstrip。此種佈線法則允許對快速 edge 信號作最快的傳輸，因為此種結構在 trace 與映像平面之間有較低的分佈電容，因而達到較低之傳輸延遲。電容會使得 clock edge 較緩和或是減慢。佈線在外層（Microstrip）之負面影響是發生在 trace 上的 RF 能量可能較易於輻射出去，因而造成無法通過 EMI 規範檢驗。這是由於在 trace 與第一個平面間較缺乏 RF 電流之 flux cancellation 之故。此種『缺乏 RF 電流之 flux cancellation』是由於❶環繞貫穿孔之迴返通量漩渦以及❷與相鄰 trace 間之緊密耦合。

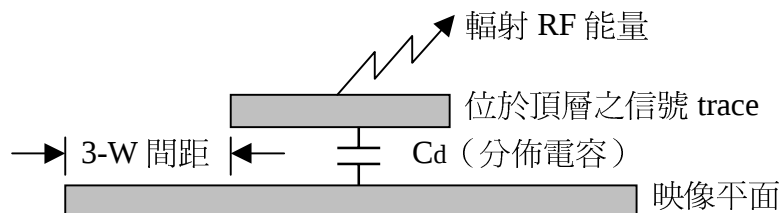


圖 4.5 以 Microstrip 對 Clock 佈線

- ♣ 內層：Stripline。此佈線方式對 common-mode RF 電流之壓抑最為有利，這是因為其相鄰映像平面之效應。將 Clock 用 stripline 佈線會造成較大之信號傳輸延遲，因為此方式之分佈電容較大。雖說此電容還是很小，對那些僅有著幾 ns 之 edge 之 clock 信號還是會被這些電容效應影響而傾斜，此種方式之優點是大多數產生在 trace 間之 RF 能量會被兩層映像平面所捕捉，因而使得能量被限制在板子內層而不會輻射出去或耦合至其他電路。

然而要注意的一點是，電路元件的輻射並不會被消除。因元件仍然是位於兩層平面的外面，在大多數之應用中，元件放置之區域主導著主要 RF 能量的源頭，特別是對於穿孔元件更是如此，其來自元件本身之輻射可以是很大的。

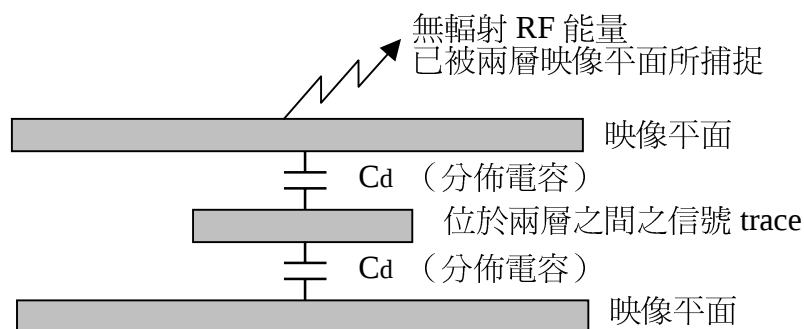


圖 4.6 以 Stripline 對 Clock 佈線

第 2 項 層間跳躍--貫穿孔之使用

當在對 clock 或快速信號作佈線時，經常會需要將 trace 貫穿至另一佈線層平面（X 軸向）然後又貫穿至另一佈線平面層（Y 軸向），此一圖示在圖 4.4 之較差佈線方式中。一般說來，如果每條 trace 都相鄰於一映像平面，則對整條路徑上之 common-mode RF 電流可以有一緊密的耦合。實際上，此假設有部份是不正確的。

參照第二章映像平面及圖 2.22。注意到，當信號 trace 由一層跳到另一層，RF 迴返電流應該要跟隨該 trace 之路徑，當存在映像平面時，RF 電流會延著最小阻抗之路徑迴返，在 stripline 之佈線方式下，迴返電流是平均分佈在相鄰於佈線層之兩個映像平面上。

當跳躍發生在由一水平方向層至一垂直方向層時，迴返電流無法同樣跳躍。這是因為在 trace 貫穿孔處之不連續性，迴返電流此時必須要另找一條低阻抗之替代路徑以完成其旅程，此一替代路徑可能不會相鄰在貫穿孔之附近，因之，在此 trace 上之 RF 電流會耦合至其他電路因而造成 EMI 或是 Crosstalk 之問題，對高速產品使用貫穿孔總是要多加考慮。

要減少來自於層間跳躍產生之 EMI 及串音問題，以下之設計技巧是有效的：

- ♣ 將 clock 及快速變化之信號只在單一信號層佈線。意即 X 軸及 Y 軸皆在同一平面。（此方式會被 CAD 佈線人員所拒絕，因其使得絕不可能使用 autorouting）
- ♣ 確定對佈線層有一相鄰之完整接地平面，且在 trace 上沒有因貫穿孔造成之不連續性存在，此一接地平面是作為 X 軸及 Y 軸平面之映像平面，且直接就在該平面之上下。
- ♣ 若對一高速或 clock 信號必得要用貫穿孔在水平面及垂直面之間跳躍，應要在每一個貫穿孔旁邊放置一個接地貫穿孔。

接地貫穿孔：是一放置直接相鄰於每一信號貫穿孔之貫穿孔。接地貫穿孔是在 PCB 有多層接地層時使用。此貫穿孔連接到接地平面，作為信號跳躍電流之映像平面之用，其作用為在信號 trace 之貫穿孔位置將接地平面接在一起，若對每一個信號貫穿孔位置使用兩個接地貫穿孔，可達到映像平面之完整性，使得在整條 trace 皆可耦合其迴返電流（亦即對貫穿孔建立一個映像平面）。

第 1 1 節 護衛路徑/並聯路徑 Guard/Shunt Traces

可用護衛路徑由輸出端（source）至輸入端（destination）來環繞 clock、周期信號、

成對信號、或高速變化之系統信號。並聯路徑是一在信號 trace 正上（下）方，且伴隨該信號 trace 橫越 PCB 之 trace。護衛路徑及並聯路徑兩者皆為同樣的應用、用法、及缺點。依照功能上，及設計者之要求，可使用其中之一或兩種。護衛路徑用於兩層板上之包圍信號環路區域特別有效。在 microstrip 或是 stripline 之應用上，遵從 3-W 法則即可達到適當之通量邊界（flux boundary），效果優於護衛路徑之使用。

具有完整接地平面之 PCB，本身即會產生 common-mode 電流。這是因為電流會發生在接地平面物質（銅）之有限電感（阻抗）上。此電感造成電位梯度，我們稱它作「地雜訊電壓（ground-noise voltage）」。此電壓（亦稱為 ground shift）以及其在電壓平面上產生之同等位移，即為電路板上 common-mode EMI 之最大來源，此一電位梯度會造成一小部份之信號電流經由雜散電容流到接地平面去。圖解在圖 4.7 中，其中之縮寫列出如下：

- L_s = 信號路徑之 partial self-inductance（自感）
- M_{sg} = 在信號路徑及接地平面間之 partial mutual-inductance（互感）
- L_g = 接地平面之 partial self-inductance（自感）
- M_{gs} = 在接地平面及信號路徑間之 partial mutual-inductance（互感）
- C_{stray} = 接地平面之 distributed stray capacitance（分佈流失電容）
- V_{gnd} = 接地平面之雜訊電壓

使用方程式（4.18）來計算地雜訊電壓 V_{gnd}

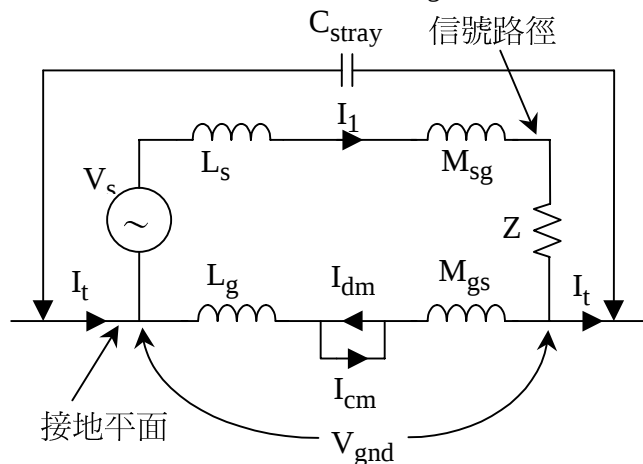


圖 4.7 接地平面之電路等效圖

$$V_{gnd} = L_g \frac{dI_2}{dt} - M_{gs} \frac{dI_1}{dt} \quad (4.18)$$

欲降低全部之地雜訊電壓，須增加 trace 與其最近之映像平面之互感量，這樣可提供額外之路徑給信號迴返電流以回到其源頭。

一般來說，common-mode 電流之大小低於 differential-mode 電流好幾次方（several orders of magnitude）。要注意的是 common-mode 電流是因 differential-mode switching 而產生的，且不會抵消。然而，共模電流（ I_1 及 I_{cm} ）會產生比差模電流（ I_1 及 I_{dm} ）

更高的輻射，這是因為共模 RF 電流場強會相加，而差模電流場會互相抵消，第二章之圖 2.19 可解釋此點。

要降低 I_t 電流，必須要降低地雜訊電壓（Ground-Noise Voltage）。最好的辦法可經由降低信號 trace 與地平面間之分隔距離而達成。但是在大多數之情況之下，這是不太可能達到的，因為信號平面與接地平面之間隔有一定的規格，以便保持電路板固定之阻抗值，如方程式（4.2）至（4.8）所示。因此，對於此兩平面間之距離有其一定之限制。另一方式，可經由提供一額外之路徑給 RF 電流，而降低地雜訊電壓，此一額外之路徑就由 Guard 及 Shunt Trace 來提供。

Guard 及 Shunt Trace 可用來提供一額外之迴返路徑給共模電流。若是置於高變化率 trace 或是高阻抗 trace 之旁，只有 Guard trace 可提供額外之迴返路徑而優於映像平面。信號 trace 與 Guard trace 間之距離，應作到生產所能達到的最近距離。對一般之應用 Guard trace 及 Shunt Trace 是頗適宜用來提供額外之迴返路徑。此一 Guard 及 Shunt Trace 之優點列舉如下：

1. 強迫實施 3-W rule，可協助來防止在高危險信號與其鄰近元件或 trace 間產生串音之現象
2. 防止共模 RF 耦合現象發生在高危險信號（小寬度之 trace）與其他電路 trace 之間。
3. 提供一額外之低阻抗「替代迴返路徑」以及減低存在於映像平面之 RF 共模電流，此一效果在 Shunt Trace 上優於 Guard trace
4. 可造成一良好阻抗控制，以同軸線之傳輸線效果，如圖 4.8，其同時使用 Guard trace 及 Shunt Trace。

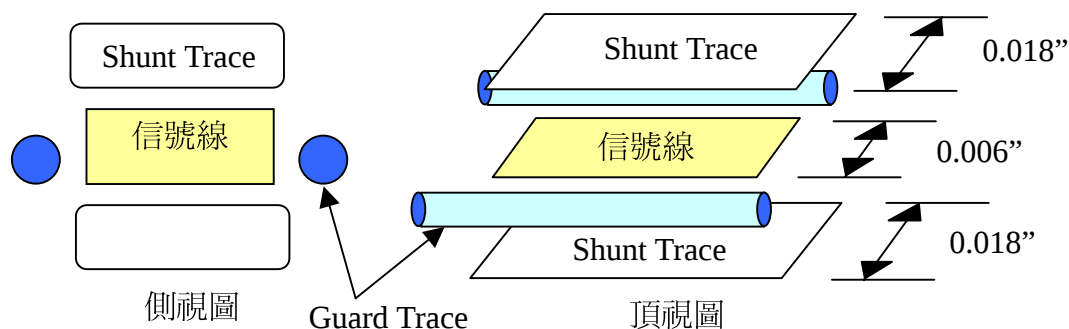


圖 4.8 Shunt traces

Guard trace 用在單層或雙層板（沒有電源及接地平面）上效果最好。RF 耦合會藉由電容及電感（含互感）方式發生在信號 trace 以及一完整平面間，因而移除共模電流並可局限信號 $\longleftrightarrow$ 迴返之環路區域，映像平面即可對這些迴返電流提供緊密之耦合，在單層或雙層板沒有這些完整平面，因而要以其地方法提供此一參考 trace（RF 電流之迴返路徑）。

在多層板（六層或以上）上 Shunt trace 之效果最佳。Shunt trace 以三明治夾心方式

將高危險信號夾在兩個接地參考源之間(一個 Shunt trace, 一個映像平面)。使用 Shunt trace 之優點是來自於：電流只流在銅箔表層之肌膚效應上，僅有少量之電流流在 trace 之中心部份。第二章有較詳細之討論。圖 4.8 中可看到放置 Shunt trace 在信號 trace 之上下能夠提供額外的耦合效果。

圖 4.8 中，把此種組合看成是從一個管子中看過去：一條信號線其上下皆包圍著地電位的 Shunt trace 或是平面。當與 Guard trace 並用，造成一類似於同軸傳輸線之組合。同軸傳輸線在其整個路徑上皆可保持固定阻抗，此外，在防止共模電流以及 EMI 產生的同時，信號品質也加強了。

若是針對於防止串音的要求上，Guard trace 是一極佳的選擇。Guard trace 會使得 3-W 法則一定會被遵守，在 clock 及周期信號與其相鄰之信號 trace 或是低準位之類比元件之間，因而就局限住輻射之耦合了。

當在一多層板上使用 Shunt trace 時，將其放置在直接垂直相鄰於高危險信號路徑並且在 Shunt trace 之兩端將其連接至地平面。這些 Shunt trace 中不可有空洞在其中，特別是由貫穿孔所形成的，這僅適用在當兩層 stripline 佈線層相鄰時。要注意確保此 Shunt trace 的寬度至少要兩倍於 Shunt trace 與信號 trace 間之分隔距離，加上一些額外的貫穿孔連接到地平面有助於移除投影在此 Shunt trace 上的駐波電流，但因為在實際實施上有困難，有些例子上幾乎是不可能，在此僅僅提出供討論。

當把 Shunt trace 接地時，有一個有趣的現象，會有一 LC 諧振產生 (L 來自於 trace 而 C 來自於 trace 與平面間之分佈電容)，隨其接地連接之距離不同，可能產生一尖銳之諧振阻抗。如果有任一 clock 之諧波信號落在此諧振頻率之內，此一 RF 電流之壓制會變得非常困難，這塊電路板就變成像是發射器一樣，若是這現象發生，可對 Shunt trace 增加一些接地連接，接至 ground plane，改變分隔之距離以偏移此諧振頻率，使其不要正對 clock 之諧波。

當使用 Guard trace 時，儘量以可能製造的極限程度，減低 Guard trace 與信號 trace 間的距離。此一分隔距離必須在整條 trace 上保持固定，此分隔之分佈電容量是最低的，而其可對諧波有很大之壓抑效果，這是因為信號 trace 對其在接地平面上之高度之比值遠小於由高危險信號 trace 耦合至 Guard trace 之 RF 電流之相對比值。將 Guard trace 之兩端接地 (源頭及負載端)，如圖 4.9，將接地點儘可能的靠近驅動元件以及末端點，如果佈線之長度很長，則須用較多之貫穿孔沿著 Guard trace 之邊緣，連接至地平面。

不要將這些接地連接點以對稱或等距離分佈在 Guard trace 上。這樣做會有麻煩，因為此一長度會提供一替代之低阻抗路徑給共模電流回到映像平面。若它是 clock 諧波波長之倍數，此 Ldi/dt 電流可能會導致共振現象之發生 (隨頻率及 edge rate 而定)，因而使 trace 變成 intermodulate 而造成功能上之問題以及產生 RF 輻射。大部份之狀

況，若 trace 長度短於主頻之 $\lambda/20$ ，即不會受到 trace 與 ground plane 間之共模 RF 電流之影響。

當 Guard trace 因貫穿孔或穿孔元件接腳阻擋在佈線路徑上，以至於要比較離開信號路徑的話，越過障礙物後要立即回到正規路徑上，絕對不要放置任何東西在信號 trace 與其 Guard trace 之間

當兩條以上之信號 trace 並行時，其可以分享一共同之 Guard trace，但最好只是一小段路徑，如圖 4.9 所示。但仍應盡量避免此狀況之發生，例外狀況是對於 differential 或是成對 (paired) 之信號。

這裏必須要強調的一點是，Guard trace 主要是針對於單層及雙層板而用的。在多層板之 microstrip 或 stripline 結構下，3-W 法則所達成之 flux boundary 已足以提供優於 Guard trace 之效果了。

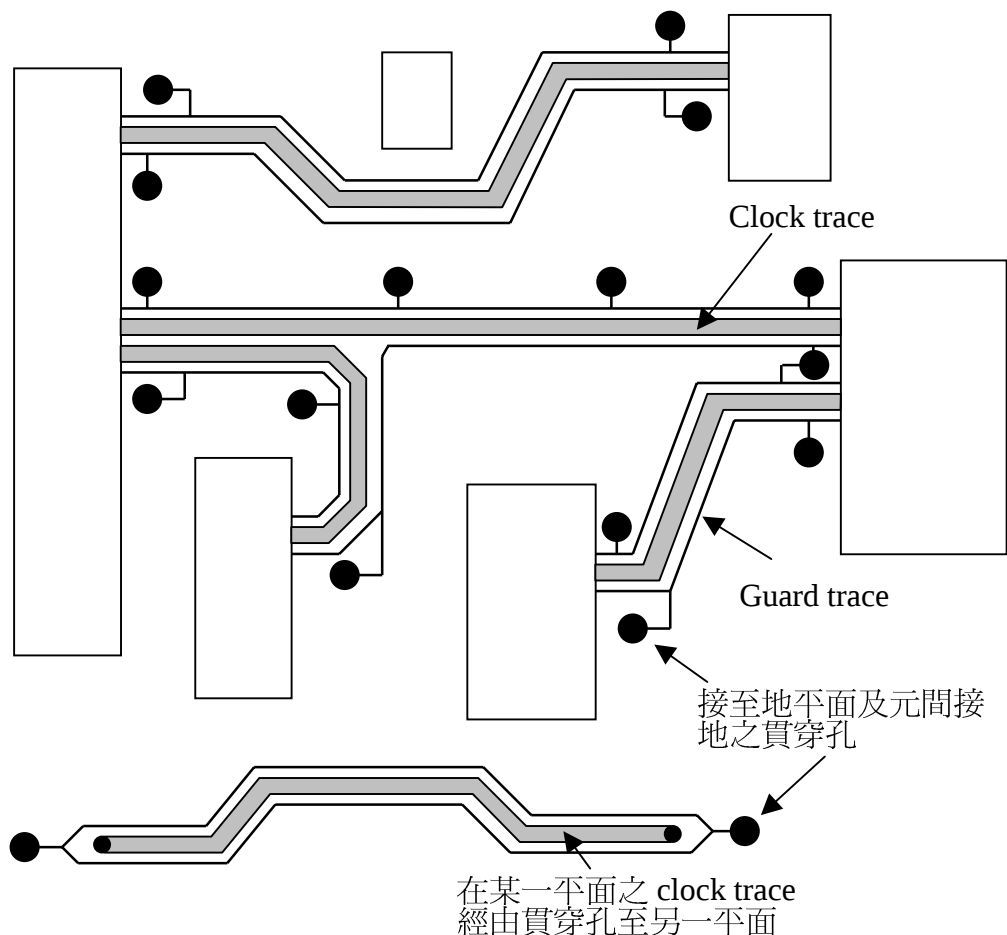


圖 4.9 Guard Traces

第 1 2 節 串音 Crosstalk

在 PCB 之 trace 間會有串音之現象發生，這些不預期現象非僅發生在 clock 及周期

信號上，也會發生在數據、位址線、控制線、及輸出入線之上。

串音現象一般是以功能上的考慮（信號品質）為主，其產生 **trace** 間之干擾現象。高速信號、類比電路、及其他高危險信號皆可能因感應自其他電路之串音現象而被破壞。相反地，高速之信號 **trace** 可能會耦合至較低速 **trace** 或其他敏感電路，引起 **EMI** 及功能上的問題，這些極可能產生 **EMI** 之電路也會非故意的耦合其 **RF** 能量至 **I/O** 電路，這些耦合會導致傳導及輻射 **EMI** 並逸出至外界或其他子系統造成功能上之影響。圖 4.10 中解釋串音之產生及其相鄰電路。

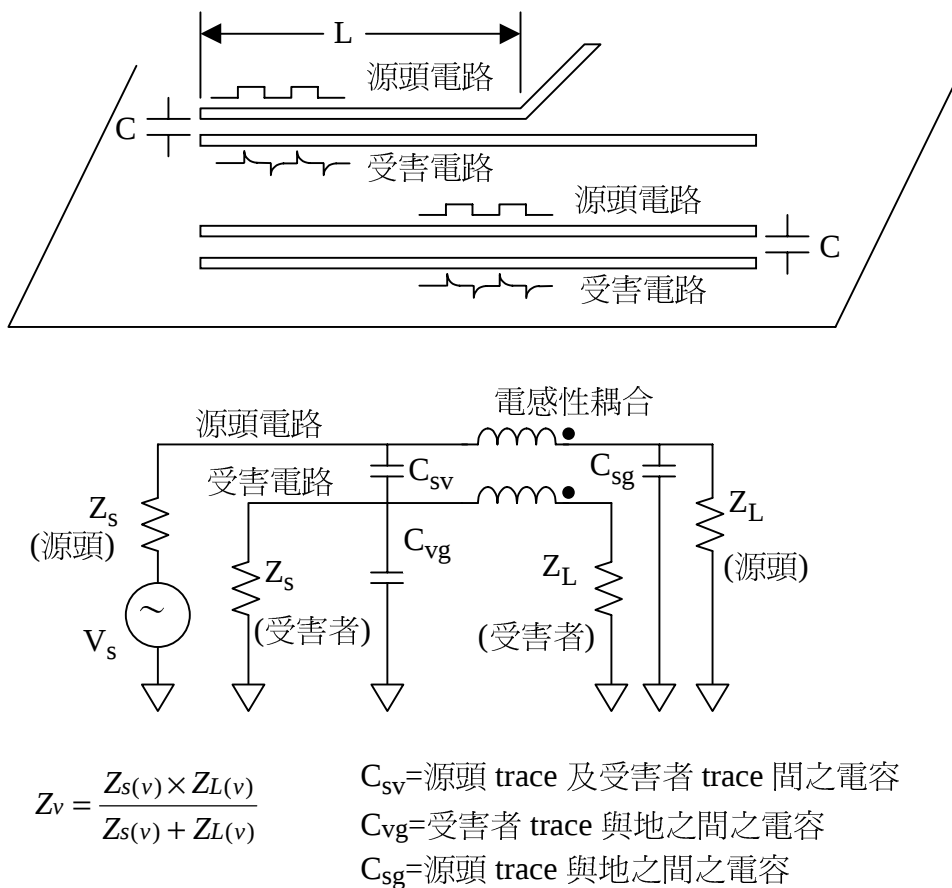


圖 4.10 串音現象 Crosstalk

測量串音的單位是 **dBx**，這是因為參考位準並不是一絕對功率準位，參考位準是由干擾源電路至受害電路 **90dB** 之耦合傳遞，結果，此一測量單位顯示的是大於 **90dB** 的串音耦合量有多少，此一關係式如方程式 (4.19) 所示。

$$\text{dBx} = 90 - (\text{串音耦合量之 dB 大小}) \quad (4.19)$$

例如，電路 B 耦合到電路 A，電路 A 有著 58dB 之較低功率準位，則由電路 B 至 A 之串音為 32dBx。

當用在源頭及受害電路時，串音同時可用方程式(4.20)表示。

$$X_{talk}(dBx) = 20 \log \frac{V_{\text{受害者}}}{V_{\text{源頭}}} \quad (4.20)$$

串音發生在並行之 trace 間之互感及電容。一條 trace（源頭）感應其 RF 電壓之一定比例至另一條 trace（受害者），當 trace 靠得越近時，所產生之串音準位越高。串音同時也正比於頻率（或是信號之快速 edge rate），及受害電路之阻抗。

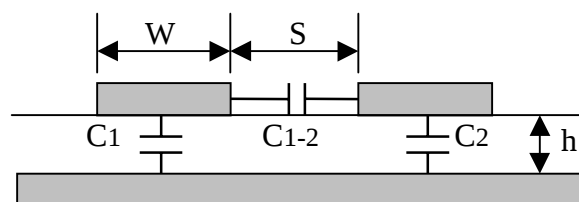
使用 3-W 準則可達到 PCB 設計之要求標準，因而可不需採用 guard trace 之方式。如果在單層或雙層板，無法使用 guard trace 時，3-W 準則就很重要了，爲了要減低 trace 與信號間之耦合現象，3-W 準則說『trace 間之分隔距離必須 3 倍於 trace 之寬度，由相鄰 trace 之中心線量至中心線』，3-W 準則在本章後面會詳細討論。

對周期信號或 clock 信號皆應儘量符合 3-W 準則，特別是 differential pair traces（平衡線路、ECL、等等）。電源平面之雜訊會耦合至成對之 trace，因串音而導致傳輸信號之失誤。在 I/O 區域，當在每一層皆缺乏銅箔層時（因分割或隔離），要對並行 trace 作佈線時，有另一替代方式使其作到 3-W，在第五章會討論之。

另一減少串音之方法是在佈線時儘量減少其並行之長度，特別是對於長的 clock 信號以及高速並行匯流排結構，將兩條並行之 trace 分開，每並行一吋則要有 2mils 之分隔距離（並行二吋爲 4mils）。

在 microstrip 之 trace 狀況，使用表 4.4 來決定須分隔之距離以消除串音。在使用表 4.4 時，注意到此一表格是以 $R_v(\text{total}) \cong 100 \Omega$ 及長度爲一公分之 trace 而言，對不同之 R_v ，修正爲 $20 \log[(R_v \times 1\text{cm})/100]$ ，對於沒有接地平面之狀況其最大爲 4dB，而對於 $W/h=1$ 之狀況其最大箝制在 -10dB。對 stripline，把這些值加上 4dB。對於其他的 $R_v(\text{total})$ ，使用表 4.4 提供的方程式。

表 4.4 電容性串音耦合之分隔距離（以 Trace 之 $R_v(\text{total}) \cong 100 \Omega$ 及長度爲一公分）



S/W (C1-2, pF/cm)	W/h=3 (C1,C2 $\cong$ 1.2pF/cm) $Z_0=50 \Omega$				W/h=1 (C1,C2 $\cong$ 0.5pF/cm) $Z_0=90 \Omega$				W/h=0.3 (C1,C2 $\cong$ 0.1pF/cm) $Z_0=120 \Omega$			
	10 (0.003)	3 (0.02)	1 (0.06)	0.3 (0.17)	10 (0.003)	3 (0.02)	1 (0.06)	0.3 (0.17)	10 (0.003)	3 (0.02)	1 (0.06)	0.3 (0.17)
F=1KHz	-174	-158	-148	-140	-158	-148	-142	-136	-146	-134	-130	-122
3 KHz	-164	-148	-138	-130	-148	-138	-132	-126	-136	-124	-120	-112
10 KHz	-154	-138	-128	-120	-138	-128	-122	-116	-126	-114	-110	-102
30 KHz	-144	-128	-118	-110	-128	-118	-112	-106	-116	-104	-100	-92
100 KHz	-134	-118	-108	-100	-118	-108	-102	-96	-106	-94	-90	-82

S/W (C1-2, pF/cm)	W/h=3 (C1,C2≐1.2pF/cm) Z ₀ =50Ω				W/h=1 (C1,C2≐0.5pF/cm) Z ₀ =90Ω				W/h=0.3 (C1,C2≐0.1pF/cm) Z ₀ =120Ω			
	10 (0.003)	3 (0.02)	1 (0.06)	0.3 (0.17)	10 (0.003)	3 (0.02)	1 (0.06)	0.3 (0.17)	10 (0.003)	3 (0.02)	1 (0.06)	0.3 (0.17)
300 KHz	-124	-108	-98	-90	-108	-98	-92	-86	-96	-84	-80	-72
1 MHz	-114	-98	-88	-80	-98	-88	-82	-76	-86	-74	-70	-62
3 MHz	-104	-88	-78	-70	-88	-78	-72	-66	-76	-64	-60	-52
10 MHz	-94	-78	-68	-60	-78	-68	-62	-56	-66	-54	-50	-42
30 MHz	-84	-68	-58	-50	-68	-58	-52	-46	-56	-44	-40	-32
100MHz	-74	-58	-48	-40	-58	-48	-42	-36	-47	-34	-30	-22
300MHz	-64	-48	-38	-30	-48	-38	-32	-26	-36	-24	-20	-12
1 GHz	-56	-40	-30	-22	-38	-30	-22	-18	-28	-18	-14	-8
3 GHz	-52	-36	-26	-20	-32	-24	-18	-14	-24	-14	-10	-4
10 GHz	-52	-36	-26	-20	-30	-22	-16	10	-24	-14	-10	-4

$$\text{串音} = 20 \log \frac{R_{\text{victim}} C_1 - C_2 W}{\sqrt{[R_v W (C_2 - 1)]^2 + 1}}$$

第 1 3 節 Trace Termination

在 RF 能量之降低上 **temination** 扮演一個很重要的角色，除了可確保最佳之信號品質及功能外，還可以加強抑制之效果。爲了防止因特性阻抗不匹配造成之信號破壞以達成電路間之高品質信號傳輸，須要應用 **temination** 之概念

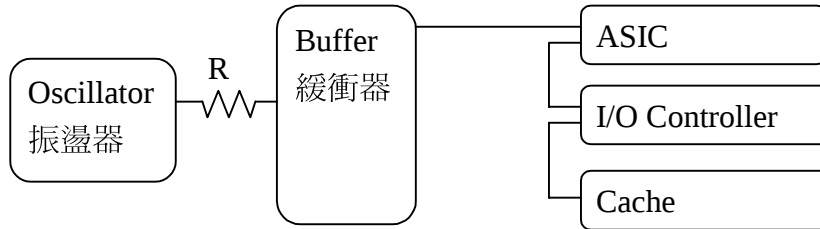
有時我們會將週期信號以及 **clock** 信號以雛菊鏈（**daisy-chain**）方式走線，除非在負載間之距離很短（相對於上升時間之傳輸長度），雛菊鏈之方式會有反射產生，雛菊鏈之方式會衝擊信號品質及 **EMI** 能量之發散，很可能造成電路不工作及 **EMI** 之無法通過，因此，對於快速 **edge** 之信號及 **clock** 信號，輻射狀（**radial**）佈線方式優於雛菊鏈之方式，且每一元件 **trace** 皆應以其自己的特性阻抗作終端（**termination**），如圖 4.11，若驅動元件（**driver**）可以負擔加上終端之負載所須要吸取之總電流的話，在負載端使用並聯終端（**Parrel termination**）是一良好之方式。

有五種較常用之終端方式，其依照佈局幾何之複雜度，元件數量，電力消耗，以及下列所述種種而選擇。要注意到若規格訂錯或用錯方式，使一驅動元件超過負荷，亦將可能損害到信號品質。

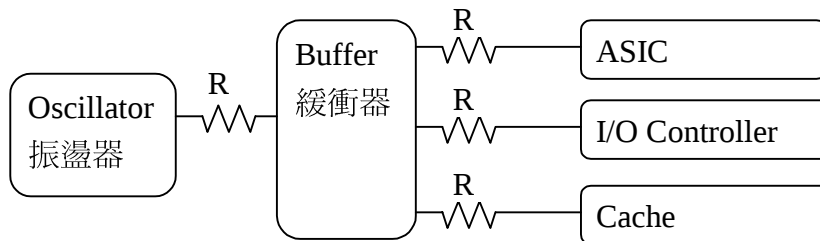
此五種常用之方法如下列及圖 4.12 (2)，表 4.5 中將這些終端方式摘要整理。

1. 串聯終端電阻（**Series termination resistor**）
2. 並聯終端電阻（**Parallel termination resistor**）

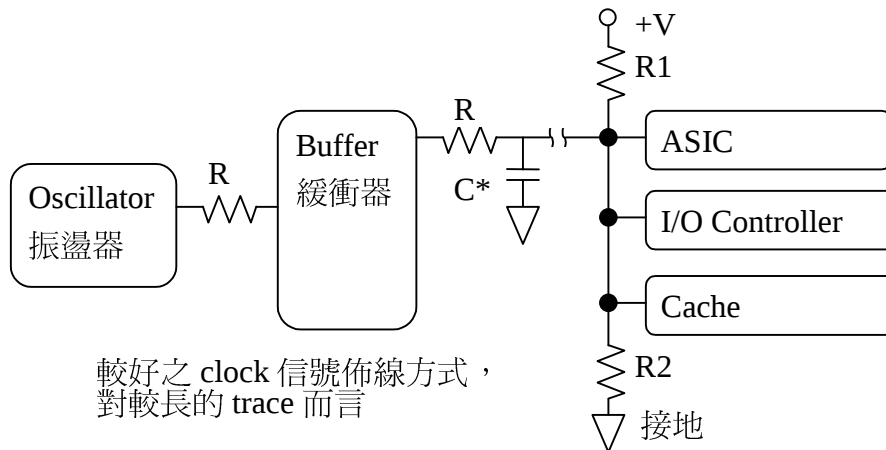
3. 戴維寧網路 (Thevenin Network)
4. RC 網路 (RC network)
5. 二極體網路 (Diode network)



不好之 clock 信號佈線方式 (雛菊鏈方式)



較好之 clock 信號佈線方式，對較短的 trace 而言



較好之 clock 信號佈線方式，
對較長的 trace 而言

* 額外的電容器，對串聯終端通常不需要(用在波形修整，增加上升時間)

若肇因於 trace 上之 IR drop，使得在轉態至高準位時之瞬間 voltage drop 至可接受程度以下的話，則應加上 R1。

圖 4.11 Clock trace 之終端方式

有時候對於「電性上的長」trace 可以同時使用 1 及 2 的組合，或是 1 及 3 的組合，此時串聯電阻在 15-75Ω 而尾端之 termination 經計算以求得最佳值。

串聯終端電阻

串聯終端是用在當所有的負載都在 trace 的尾端之狀況。當驅動元件之輸出阻抗 Z_d ，小於 trace 有負載之特性阻抗 Z_0 ，或是扇出數 (fan-out) 較少時，採用串聯電阻。

將此電阻放在驅動元件一輸出的地方，且元件與電阻間不可以有貫穿孔，當串聯電阻等於特性阻抗 Z_0 時，電壓波形被平均分開，只有一半之電壓傳到接受端，如果接受端之輸入阻抗很高，則立即能看到完整波形，而輸出端在 $2 \times t_{pd}$ 時間後會收到該波形，因為元件有著不同之輸出入阻抗，不是單純直覺能知道的，使用串聯電阻並不是一最佳之方式。

並聯終端電阻

對並聯終端而言，其使用一個電阻器，此電阻之阻值必須等於 trace 之特性阻抗，且大約等於 source 之阻抗，此電阻之另一端接到參考源 reference source，通常為接地，其主要之缺點即為會增加 dc 電力之消耗，因為此一電阻值通常是在 50 到 150 Ω 之範圍。

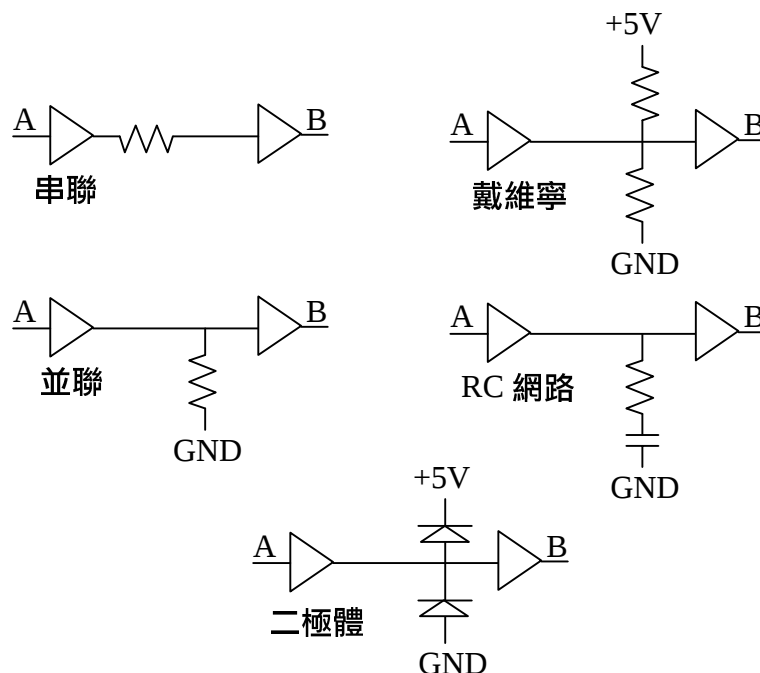


圖 4.12 終端 (Termination) 之形式

戴維寧網路

此方式連接一個電阻到電源，另一個電阻接地。其可確保邏輯 0 與 1 間之轉態點正確。對 TTL 邏輯來說戴維寧終端為最好之方式，當使用 CMOS 元件時，要注意到轉態之電壓準位關係到元件之輸入電壓，電阻值選得不恰當可能會造成臨界值的變動，造成系統之可靠性降低。

RC 網路

此方式對 TTL 以及 CMOS 電路都能工作得很好，此電阻要配合 trace 之阻抗，電容器可保持元件之 dc 電壓準位，結果，只在轉態時有 ac 電流流到 ground，雖然在信號上會有些許的延遲，與一般並聯終端方式比較，其會有較少的電力消耗，此電阻

應等於 trace 之 Z_0 ，而電容器一般都很小（20-60pF），其構成之 RC 時間常數應大於有載之傳輸延遲時間之兩倍，RC 終端方式對於有著類似 layout 之匯流排信號是最佳的方式。

二極體網路

此一終端方式通常用在對 differential 或是成對之信號上。二極體主要是用來限制 trace 上的 overshoot 現象，同時又僅僅有很小的電力消耗。其主要之缺點為二極體對高速信號之頻率響應較慢，且雖然可以防止在接受端之 overshoot，trace 上仍舊會產生反射之現象，因二極體並無法改變 trace 之阻抗，為了取得兩者之優點，二極體方式可與其他方式並用以減低反射現象。

Termination 除了可使得阻抗匹配以去除漣波外，亦可能因參數選定不恰當使得 clock 信號之 edge rate 緩慢下來，不適當之 termination 會造成信號幅度及完整性之損失，使得功能不穩，降低 dI/dt （瞬間之電流變化量）或是 dV/dt （瞬間之電壓變化量）即可降低因大電壓及電流所產生之 RF 輻射，將用作波形修整之電阻電容放在最接近 clock 驅動器之輸出的地方。將 termination 放在最靠近 trace 尾端之負載邊。

另一解釋 dI/dt 及 dV/dt 概念之方式是使用歐姆定律， $V=IR$ 。以下敘述說明如何將歐姆定律解釋成簡單之電磁觀念。

如果 trace 之阻抗 Z （電阻、電感、接腳）增加時，則對時變信號而言其 dV （RF 電壓）及 dI （RF 電流）都會降低。因 RF 電壓及電流減低了，所產生之輻射及傳導 RF 能量也較少了，因而達到 EMI 之改善，除了 RF 電流較少以外，信號之 edge rate 會拉長了，因而 RF 之頻譜能量降低了，不過，若 Z 太大的話，信號過於降低使得可能造成功能之問題，要確保會有穩定之功能， Z 必須要小心的計算。

串聯電阻 R 應大於或等於驅動元件之輸出阻抗，且低於或等於傳輸線之阻抗 Z 。其典型值一般在 15 至 75 Ω （通常為 33 Ω ），若傳輸線之尾端另加 termination 則 R 值還要再小一些。

如果非得要有電性上長的 trace 的話，此 trace 絕對要 terminate。長的 trace 一般會需要用高電流的驅動元件，以 50 Ω 之戴維寧等效阻抗或是 trace 之特性阻抗來計算終端電阻之大小。T 形分叉（T-stubs）一般是不可以的。如果一定要有 T-stub 的話，最大之分叉長度不可超過 $T=L_d T_r/10$ ，且每一『T』臂應是相同（長度）的。如果因佈線之限制使得一定要用 T-stub 的話，越短越好。使用 CAD 之量度功能去算出佈線長度，若必要時，將較短之線佈成蛇行狀（serpentine route）以使其長度相同。

T-stubs 之潛在缺點是在爾後之版本變更時，若之後由另外的設計人員作修改時，他可能不知道 T-stub 使用之方式而更動 trace 之佈線路徑，造成 EMI 或功能問題。

型式	增加 元件	增加 延遲	功率 消耗	元件值	說明
串聯	1	有	低	$R_s = Z_o - R_d$	好的 dc noise margin
並聯	1	小	高	$R = Z_o$	電源消耗是問題
戴維寧	2	小	高	$R = 2 \times Z_o$	CMOS 需要高功率
RC	2	小	中等	$R = Z_o, C = 300p$	檢查頻寬與增加之電容
二極體	2	小	低	——	限制 undershoot，在 diode 會有 ringing

表 4.5 終端型式與其特性

第 1 4 節 計算去耦合電容值

電容器同時可應用在個別之 trace 上來移除 differential-mode 之 RF 電流，這些一般可在 I/O 上及連接器電路上看到，而較少在 clock 之電路上。去耦合電容 C，會改變 clock 輸出信號之 edge，使得信號轉態之 edge 變得較為圓滑，如圖 4.13 所示。

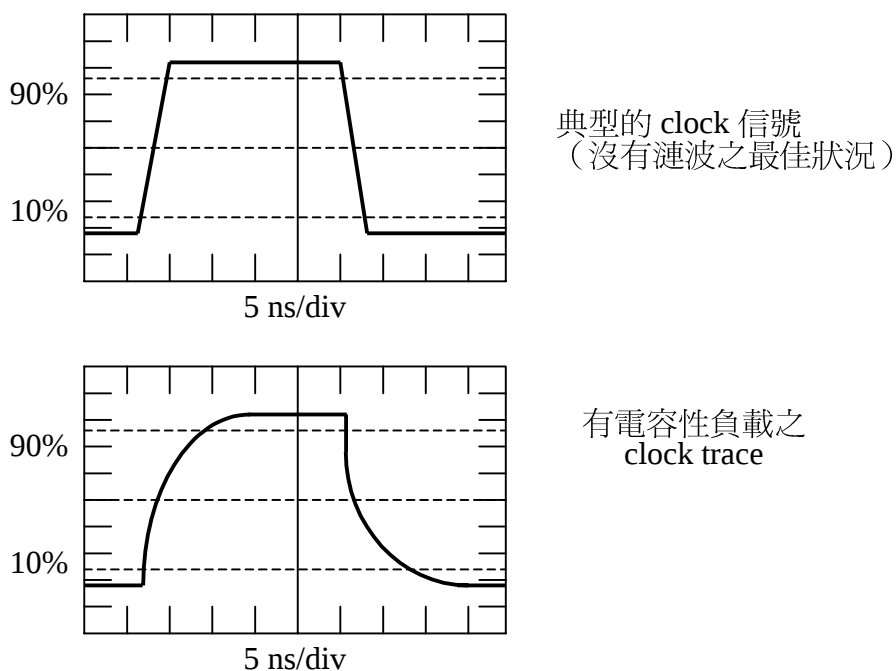
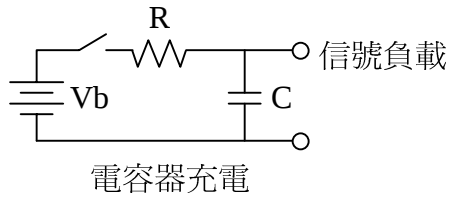


圖 4.13 clock 信號之電容性效應

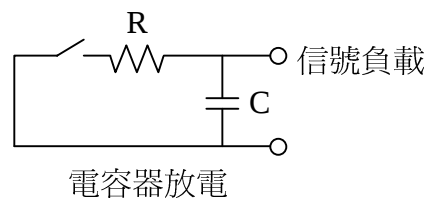
在圖 4.13 中，注意到此一 clock 信號之 edge 之改變，其轉態點並不變，然而，其上升時間 t_r 改變了，這是因為對電容作充電及放電之延遲作用導致信號 edge 之拉長及減緩。如圖 4.14 中之方程式所描述。注意到在圖中之戴維寧等效電路並無考慮負載。Source 電壓 V_b 及串聯阻抗 R 是位於 IC 或是 clock 產生器之內部，Trace 上之電容效應是來自於電路上之電容器，使用圖 4.14 中之方程式來計算電容器變化的速度。



充電 (Energizing)

$$V_e(t) = V_b \left(1 - e^{-\frac{t}{RC}} \right)$$

$$I(t) = \left(\frac{V_b}{R} \right) e^{-\frac{t}{RC}}$$



放電 (Discharging)

$$V_c(t) = V_0 e^{-\frac{t}{RC}}$$

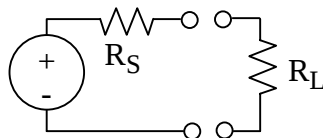
$$I(t) = \left(\frac{-V_0}{R} \right) e^{-\frac{t}{RC}}$$

圖 4.14 電容器方程式

當對此信號作傅立葉分析時可看到在 RF 能量及頻譜分佈上有很大的降低，因而可改善 EMI。

對去耦合電容值的計算有兩種方式，要注意的一點是雖然可計算出對某一特別諧振頻率之最佳濾波效果，在實際安裝上之安裝方式、接腳長度、及其他寄生參數仍舊會改變電容器之諧振頻率。

在計算去耦合電容值之前，要先確定此網路之戴維寧等效阻抗，此等效阻抗即為此兩個電阻器之並聯，使用戴維寧等效電路，假設 $R_S = 150\Omega$ 以及 $R_L = 2.0k\Omega$ 。



$$R_t = \frac{R_S R_L}{R_S + R_L} = \frac{150 \times 2000}{2150} = 140\Omega \quad (4.21)$$

方法一

使用方程式 (4.22) 以求得電容質及 clock 信號可允許之 edge rate。

$$C_{\max} = \frac{0.3t_r}{R_t} \quad \text{或是} \quad t_r = 3.3 \times R_t \times C_{\max} \quad (4.22)$$

此處

$C = \text{nF}$ (nanofards) 如果 t_r 以 nanosecoands 計

$C = \text{pF}$ (picofards) 如果 t_r 以 picosecoands 計

電容質選擇應使得 t_r 能符合信號功能要求之適當上升及下降時間，否則可能產生基礎線之偏移。

例如，如果 edge rate 為 5ns，電路之阻抗值為 140Ω ，則 C 為

$$C_{\max} = \frac{0.3 \times 5}{140} = 0.01\text{nF or } 10\text{pF} \quad (4.23)$$

一 60MHz 之 clock 信號有著 8.33ns on 以及 8.33 ns off， $R=33\Omega$ （未終端之 ALS 元件之典型值），其可接受之 t_r 及 t_f 為 2ns（on 及 off 之 25%），因此

$$C = \frac{0.3(2 \times 10^9)}{33} = 20pF \quad C = \frac{0.3 \times t_r}{R_t} \quad (4.24)$$

方法二

- ♣ 決定所要濾除之最高頻率， f_{MAX}
- ♣ 對 differential 之成對信號 trace，決定其每一個電容器之最大容許值，以使信號失真最小。以方程式（4.25）計算之。

$$\frac{1}{2\pi f_{MAX} \times \frac{C}{2}} \geq 3 \times R_t$$

$$C_{max} = \frac{100}{f_{MAX} \times R_t} \quad (4.25)$$

此處 C 為 nanofarads 及 f 為 MHz。

對 $R_L=140\Omega$ ，若要濾除 20MHz 之信號，電容值應為 0.035nF（或是 35pF）：

$$C_{max} = \frac{100}{20 \times 140} = 0.035nF \quad (4.26)$$

在使用去耦合電容時，留意下列：

- ♣ 若 edge rate 之拉長是尚可接受的話，將電容器再加大一級。
- ♣ 選擇正確額定電壓及介電係數之電容。
- ♣ 選擇較小誤差值之電容。在電源濾波之應用上可接受使用 +80/-0 誤差之電容器，但對高速信號濾波之用途就不好了。
- ♣ 裝設電容時，將接腳儘量縮短。
- ♣ 確定裝了電容後電路仍正常工作，太大之電容會導致信號變差。

第 15 節 Components 元件

頻率產生器元件只針對系統之 timing 目的使用。終端未使用到的 drivers，buffers 及 gates 等，將其輸入端接至「1」或「0」準位（依 device 不同而定）而使其輸出禁能（disable），或對三態驅動器（tri-state driver）將其致能（enable pin）接腳 disable。

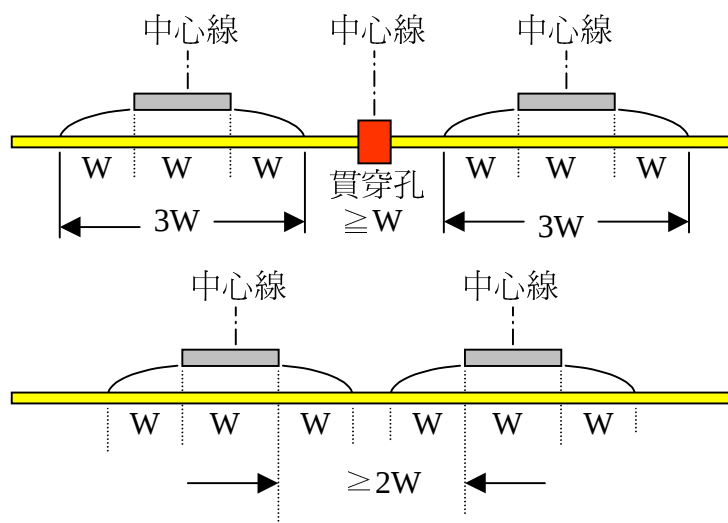
使用模組式的頻率產生器對 5MHz 以上之 clock 信號或是 edge rate 快於 5ns 之信號。當振盪器在 50MHz 以上時，很重要的一點是，使用帶狀導線或金屬夾片等方式，提供一額外之接地，由振盪器之外殼至接地平面。振盪器的接地腳使用在作為 dc 電壓 reference 時是很不錯的，但是對將 RF 電流接地之用途上就不行了，另外對 clock 振盪線路應加入區域性之接地平面，如本章前面所述。

銳角之轉折（90°）會影響佈線路徑之阻抗，可能造成 RF 電流的產生，如第八章所述。使用 guard trace 在單層或雙層板上，以防止 trace 間之相互作用。此 guard trace 要在來源及目的端都用貫穿孔接到地平面上，且還要延著 trace 周邊以不規則之方式加上一些接地點。此 guard trace 之主要作用是：

- ♣ 避免由高危險信號線串音至附近之元件或 trace，因而可維護信號品質。
- ♣ 提供一個經過控制的迴返路徑給 RF 電流以回到其 source。
- ♣ 提供一最小的信號一迴返環路面積。

第 16 節 Trace 之分隔及 3-W 法則

在 PCB 上之 trace 間會產生串音之現象，此一不該發生之效應不僅僅在 clock 及週期信號上，也會發生在其他高危險之系統網路上。數據、位址、及控制線、輸出入線等，都可能被串音及耦合所影響。在 PCB 上，clock 及周期信號是一主要之問題。使用 3-W 法則可讓我們符合 PCB 之設計要求而可以不需要採用 guard trace。注意到 3-W 法則代表了邏輯電流約 70% 的通量邊界（flux boundary）。若要求 98% 之通量邊界，要用「10-W」。



注：沿著板子的邊緣之佈線須距 Ground plane 之邊緣大於一個 W 之寬度



3W 之分隔距離，在 trace 間沒有貫穿孔

圖 4.15 3W 之設計原則

使用 3-W 法則之基本概念是在於減低信號 trace 間之耦合現象，以提供一乾乾淨淨之路徑給信號通量及迴返通量，使其能正確適當的連結及抵消，而不會受到貫穿孔或是其他 trace 之通量的干擾。3-W 法則說：Trace 間之分隔距離應三倍於 trace 之寬度，由中線到中線測量之。或是：Trace 間之分隔距離應兩倍於單一 trace 之寬度。例如：假設 clock 線寬為 6mils，則在 $2 \times 6\text{mils} = 12\text{mils}$ 之範圍內不可以有其他之 trace 存在，由邊緣量到邊緣。如圖 4.15 可看到，為了達到隔離之目的，很多的可用空間會被佔用到。

3-W 法則並非只用在 clock trace 上，Differential pairs 也是一主要之用途。電源平面之雜訊會經電容性或電感性耦合至此一 paired trace 而造成資料錯誤。在 I/O 區域中若 differential traces 是佈線在沒有映像平面之狀況下（在相鄰近層沒有銅箔層，因隔離之故），則使用 3-W 法則亦為一替代方案。

Differential pair trace 若不是並行佈線在同一平面層的話（因缺少可用之板面積），必須要在相鄰之平面層，其中一條 trace 必須要是另一條相對 trace 之 3 倍寬度，且在整個佈線路徑上皆同，如圖 4.16，此方式可減低 trace 間之 RF fringing（鬚邊）之現象。

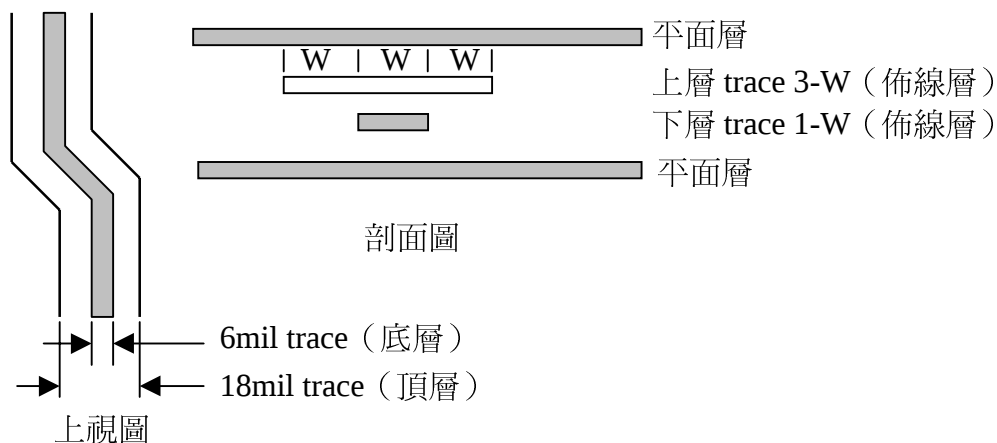


圖 4.16a Differential pair 之佈線方式及 3W 法則（垂直軸）

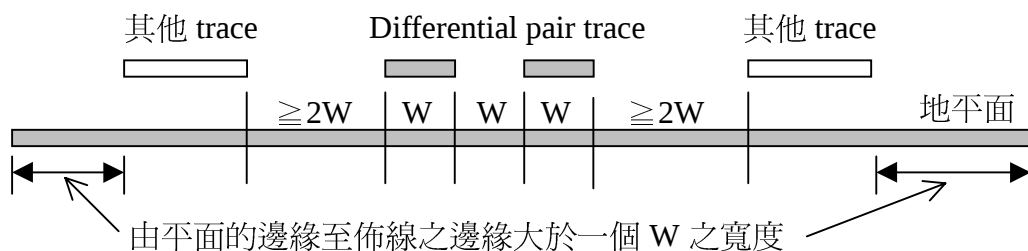


圖 4.16b 平行 Differential pair 之佈線方式及 3W 法則（水平軸）

第 5 章 輸出入及內部連接 interconnects and I/O

在 PCB 上，I/O 及相關之連接電路是一個對 RFI、ESD、及其他傳導及輻射容忍度相當敏感之部份，這些包括了前面板之指示燈及控制器、串列及並列埠、網路連接器、外接 SCSI 連接器、modem、video 及 audio cable、電源線、卡槽、周邊驅動器之蓋子、輸入元件（老鼠、鍵盤、搖桿、手持掃描器）、轉換器、網路線、及種種之周邊。

在 I/O 電路之大部份之 EMI 問題是來自於下列之組合：

- ♣ I/O 界面元件內部之 common-mode 耦合。
- ♣ 電源平面雜訊耦合至 I/O 電路及導線。
- ♣ Clock 信號經電容性或電感性耦合至 I/O cable。
- ♣ RF 能量耦合到離開封裝之 cable 上。
- ♣ 在連接器及信號線上缺少 data line 濾波器（common-mode 及 differential-mode）。
- ♣ 在 chassis、信號、機殼接地、數位接地、類比接地間之不適當之連接。
- ♣ 混用不同之 I/O 連接器（金屬接到塑膠頭、shielded 接到 unshield）。

I/O 電路可能產生與 clock 信號一樣多的 EMI 及 EMS 問題，可能還更多。適切的選擇元件及佈局 (Placement) 可減低傳導及輻射 RF 之耦合。I/O 必須要實體上的與 PCB 上其他高 RF 頻寬元件作隔離，若可能的話，也要與中度 RF 頻寬電路作隔離。一適當 I/O 使用之例子是將 I/O 連接器經由一低阻抗之路徑 RF 束縛至機殼上，以助於將導線之 shielding 至機殼上，此一低阻抗之路徑必須是一 360° 之完整連接該金屬連接頭之周圍至機殼接地，此外，亦應提供一將信號接地以及屏蔽接地，在連接頭之進入處立即接至機殼之方式，若電路是運作在 1MHz 頻率以上的話，不可使用豬尾巴 (Pigtail) 之方式。

I/O 驅動器應儘量靠近 I/O 連接器以減短 trace 之長度，因而可減少耦合到其他信號之危險。數據信號通常需要有濾波線路，此濾波器放置於驅動器與連接器間。

第 1 節 分割 Partitioning

I/O 電路之分割包含以下的三個基本方式，其為功能上之子系統、安靜之區域、輻射雜訊之耦合。如下簡單之討論，之後還有更詳盡之敘述。

第 1 項 功能上之子系統 Functional SubSystems

每一個 I/O 都可視為是 PCB 上不同的一個子系統，每個皆隨應用不同有其獨特之特性。要防止子系統間之 RF 耦合，須要用到隔離的技術（isolation），一功能上之子系統包含了有一群元件及其相關電路，將元件彼此靠山以縮短佈線之長度以及使功能最佳化。硬體工程師及 CAD 設計師應設法將成群之元件集合在一起，然而，因不同之理由，有時候如此並不實際，不管如何，在 layout 時仍應特別的對待 I/O 之子系統，一般以 layout 分割之方式來做，如後所述。

Layout 分割可加強信號品質及功能之穩定，可防止高頻寬 RF 信號輻射（例如：backplane 連接、video device、data 介面、Ethernet 控制器、SCSI device、CPU 等等）至串列埠、並列埠、video、以及同步非同步埠、磁碟機控制器、前面板顯示、區域極廣域網路控制器、等等。每一個子系統都應對待，設計它像是一分開的電路板一樣。

第 2 項 寧靜區 Quiet areas

寧靜區是一個與數位電路、類比電路、電源及接地平面，實體上隔離之區域，此種隔離可防止 PCB 上其他之雜訊源干擾到敏感性電路。一例子是數位電路之電源平面雜訊進入到類比元件、聲頻元件、I/O 濾波器及連接器，之電源腳，如圖 5.1

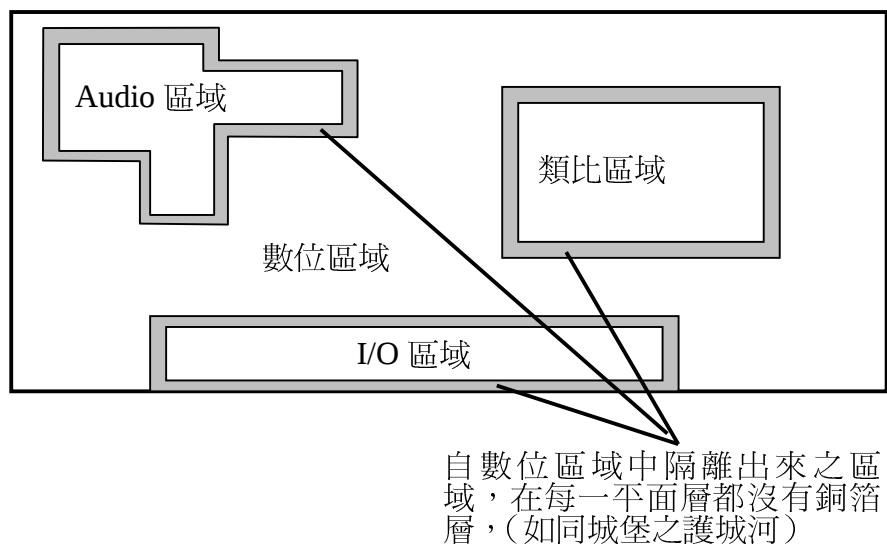


圖 5.1 寧靜區

每一個 I/O 埠都應有一個分割的（寧靜的）接地及電源平面，可在靠近連接器處使用高頻電容器（通常為 470pF 到 1000pF）做為低頻 I/O 埠之濾波之用。

PCB 上之佈線仍應控制住以避免再度將 RF 電流耦合至 cable shield。乾淨的接地區

(clean、quiet) 應放寬在 cable 離開此系統之處，電源及接地平面皆應同等對待，因這些平面都是做為 RF 電流之迴返路徑。來自其他非 I/O 元件之迴返電流若是流經 I/O 區域，會導致高頻 RF 雜訊之注入 I/O 區域及元件。

寧靜區之使用，須採行分割 (partition) 或壕溝 (moat) 之方式。此寧靜區必須要：

1. 進出之 I/O 信號必須要 100% 的隔離，使用隔離變壓器或是光耦合元件。
2. 數據信號之濾波器；或是
3. 經由一高阻抗之 common-mode 電感器作濾波或是以一 ferrite bead 之元件保護之。

其他之分割方式亦可與以上任一種合用。一方式是採行單一之入口點在髒的電源平面 (dirty power plane) 與乾淨或寧靜區 (clean or quiet zone) 之間。此一單一之入口點稱之為「橋」(bridge)，如後述。(如果此一「寧靜區」是一個「城堡」被「壕溝」所圍繞，則可用一個「橋」以通過此壕溝)

第 3 項 內部之輻射雜訊耦合

輻射 RF 耦合會發生在不同之功能子系統間。爲了要防止內部 RF 耦合 (例如，內部磁碟機電纜信號雜訊至 I/O 連接器，由 CPU 之輻射 RF 電流至其他元件，I/O 控制器至 I/O cable)，可能須要一個「籬笆」(fence)。籬笆是一個金屬之障礙，以適切之距離區隔 (所預期最高頻率波長之 $\lambda/20$) 固定在接地平面上，高度應要能足夠防止元件間直射之 RF 輻射耦合。籬笆就像是金屬機箱之一邊而能將一電路或元件封閉起來，只除了是裝在電路板上之不同而已。此一籬笆也像是一在 PCB 之頂層，用作電源及接地分佈之標準的 bus bar。在每一個接地固定點，使用在籬笆之接地與圍繞之電源平面間之旁路電容器將所吸收之 RF 電流去耦合。

事先來判斷是否邏輯線路或子系統可能爲內部 RF 電流產生之源頭，視元件在 PCB 上之配置位置，與敏感性元件及 I/O 電路之相對關係，預測可能之內部 RF 能量耦合情勢，而後才確定配置位置 (Placement) 及開始佈線 (layout)，設計上先預留未來加上 trace 之可能，可使運用上更爲彈性，因若固定用之貫穿孔有預留的話將來可很容易的加上。實際之運用與否可視後續之測試結果而定，這樣總比後來才再修改 artwork，再重新生產來得容易且省錢。

第 2 節 隔離及分割 (壕溝) Isolation and partition (moating)

隔離及方割所講的是，將元件電路及其他功能元件之電源平面、區域、及子系統，

實體分隔開來，若是讓 RF 電流可以經由輻射或傳導之方式傳播到板子的其他部位的話，所引起的不僅是 EMI 問題同時還有功能穩定度之問題。

隔離是做出一個在板子所有平面皆沒有銅箔層之區域。在兩區域間製造一寬的分隔（典型值最少為 50mils）將所有銅箔拿掉。換句話說，隔離區就是板子上的一個島，像是城堡在護城河中間。只有那些運算所須之 trace 及內部連線可進入該分隔區域，此一壕溝就像是一信號及 trace 之除外區域（keep-out zone）。有兩種方式將 trace、電源、及接地平面連接至島上，如後文所述。第一種方式使用隔離變壓器，或是光耦合器，及 common-mode 資料線濾波器，以跨越壕溝；第二種方式使用一個「橋」在壕溝上。

第 1 項 方法一：以壕溝隔離 Isolation in moating

第一種方法是使用隔離變壓器或是光隔離元件（optical isolator），把 I/O 區域 100% 的與 PCB 之其他部份隔離。最好是只有在 I/O 連接器之金屬頭以 RF 束縛之方式連接至機殼接地，因此只有在隔離區的外面經由一低阻抗之路徑接地。有些界面之規格可能會須要使用一旁路電容將 I/O cable 之屏蔽接地接到機殼之接地，以取代直接之連接。屏蔽接地（shield ground, or drain wire）所指的是在 cable 內部，一單獨之接腳或電線，將 I/O cable 內部之 mylar foil shield 接至 drain wire，有些人會將 shield ground 以豬尾巴之方式將其接至 chassis 之地。豬尾巴之方式只適用在音頻線路上，不能用在高頻信號或元件上。豬尾巴之方式同時也會造成 EMI 之危險及音頻之失真，造成系統的錯誤。

在 I/O 電路上使用的旁路電容之選擇有以下兩者考慮點：

1. 適當之濾波頻寬，以及
2. 峰值突波電壓之保護能力（對靜電放電而言）

例如：乙太網路之電路須要使用一隔離變壓器以符合 ISO/IEC8802.3 之要求以實體上的隔離網路與系統，以避免控制器發生不正常狀況時不致影響網路之正常運作。Common-mode 之 data line 濾波器可與隔離變壓器並用，其可以用在類比或數位線路上（通常為 toroidal 之結構），這些濾波器移除掉信號線上所帶之 common-mode 之 RF 電流，以免由 I/O cable 帶出去。如果在隔離區域中須要有接地及電源（例如 12V 給附加之界面單元 AUI, Attachment unit interface），則用一個 ferrite-bead 給電源 trace，而用一單條之 trace 給接地線。在電源線上 ferrite-bead 之任一端串加一個短路保護保險絲（安規之要求）。有些時候亦須要在 I/O 之電源上加上電容性之去耦合（capacitive decoupling）以移除數位雜訊。將此一附加之去耦合電容器，一端接在 ferrite-bead 之輸出端（後端），另一端接在數位接地平面，將電源濾波元件放置在板子靠外面橫跨壕溝上方之位置。將電源及接地 trace 彼此相鄰之佈線以減少 RF 接地環路面積，應避免將此兩者放在壕溝之相反位置以免造成過大之環繞面積，此種

佈置方式如圖 5.2 所示。

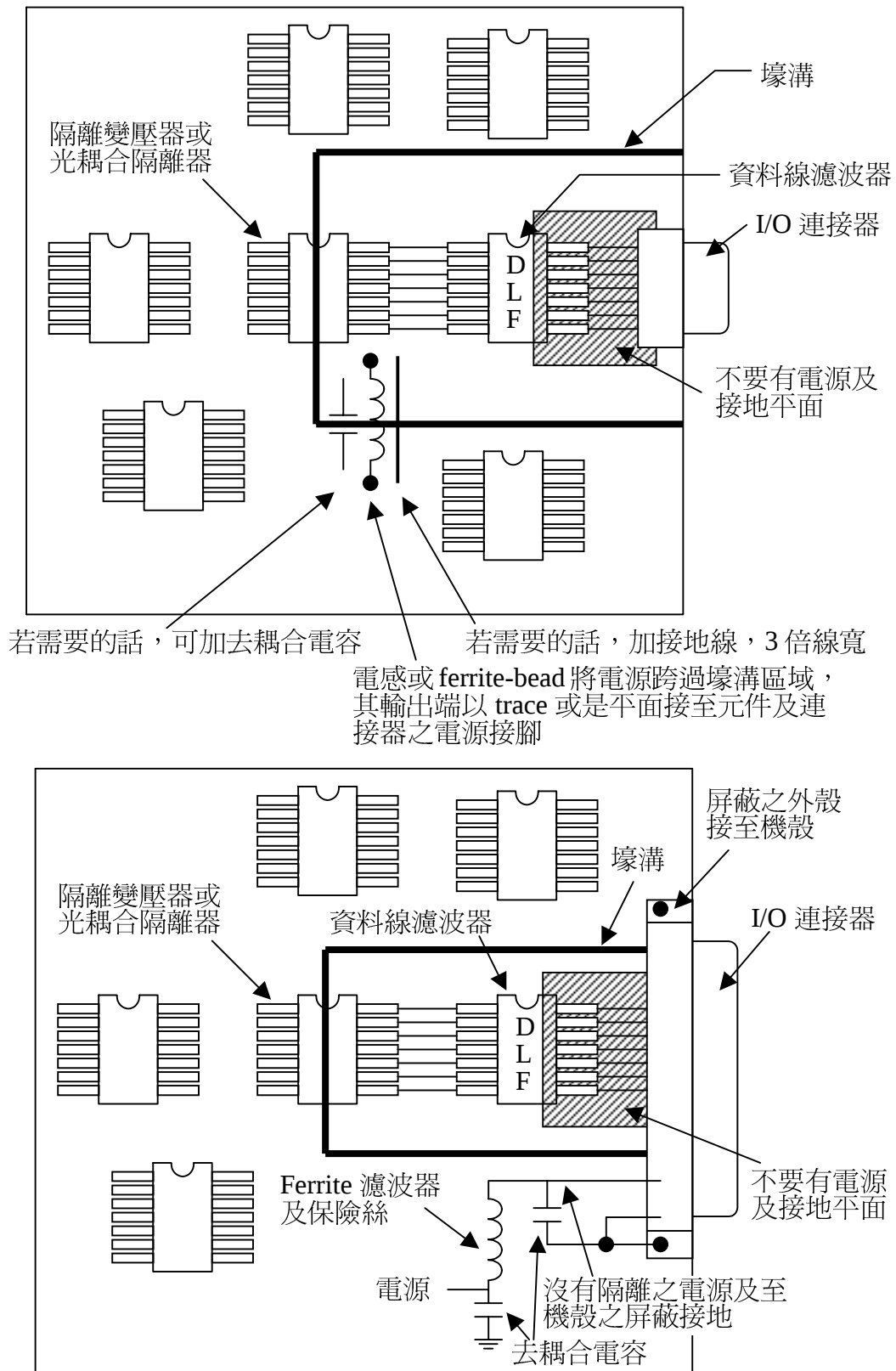


圖 5.2 方法一：以壕溝隔離，上圖為有隔離的電源，下圖為沒有隔離的 AUI 埠電源

第 2 項 方法二：壕溝及橋 Bridge in a moat--partitoning

第二種方法使用了一個「橋」在控制區及分割區域之間。「橋」是一個在壕溝上的缺口，且僅有一處而已，在此處信號線、電源、及接地皆由此處橫越過壕溝，如圖 5.3 所示。

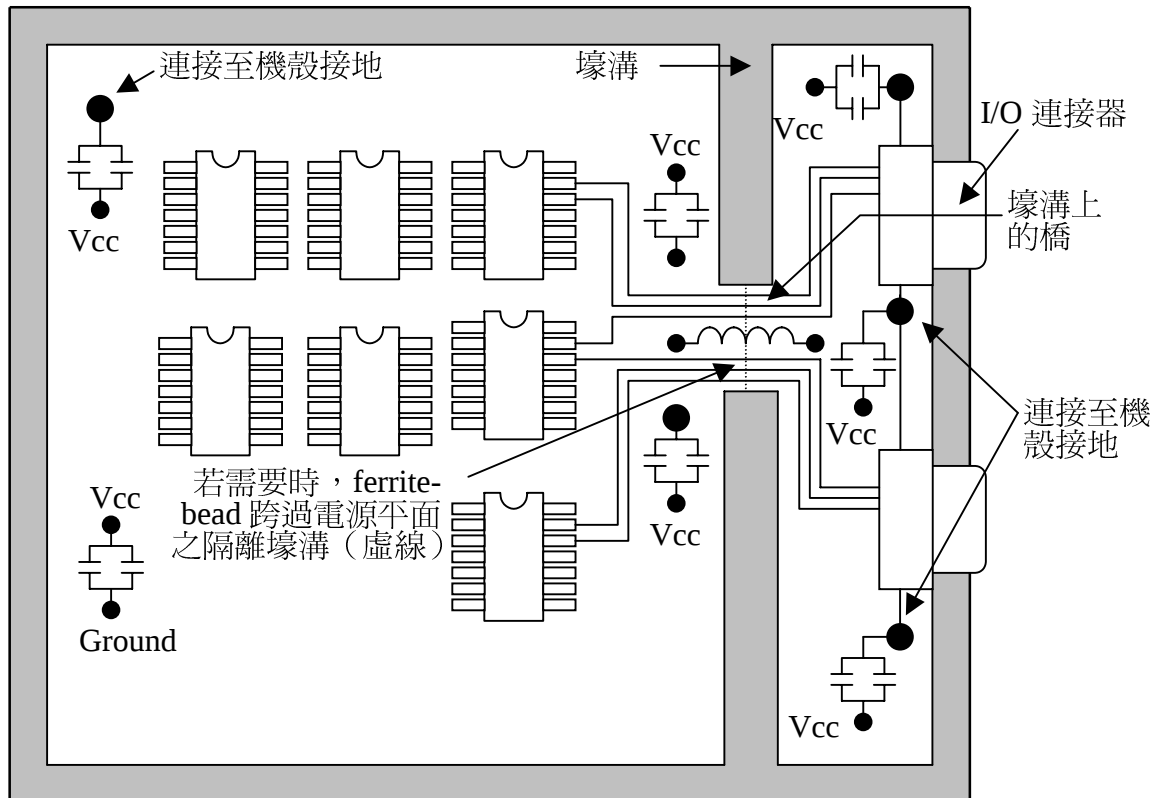


圖 5.3 方法二：使用壕溝上的橋做 I/O 分割

若有任何與 I/O 無關之 trace 侵入壕溝以內區域可能導致問題，此時會產生 RF 環路電流如圖 5.4 所示。RF 電流必須要在其路徑上映射回去，否則就會在此兩個分開之區域間產生 common-mode noise。不同於方法一，兩區域間之電源及接地是直接連著的，因此這種方式形成了一種分割（非隔離）。

有時，須要將電源作隔離而只有接地平面由橋上通過去。此方式在有些須要有一共同接地點之應用上，或是在須要有獨立濾波及穩壓電源之場合上很常見。在此類情況下，須要用一 ferrite-bead 或是電感器來對電源作濾波，且將電源跨過壕溝區，將此 bead 放置在橋上而不要越過壕溝。如果在此一隔離區中不須要有電源的話，將該不使用之電源平面定義成第二個接地平面，以貫穿孔將它接到主接地平面上。

當使用第二種方法時，如果是多點接地之系統，最好要將橋的兩邊都接到機殼接地，在系統設計時就應考慮到。將橋之入口接地有以下兩個作用：

1. 接地可防止地平面上的高頻 **common-mode** RF 成份（接地雜訊電壓）耦合至分割區域之中。
2. 接地有助於移除可能存在於機殼或界面卡槽之渦電流（**eddy current**）。（改善接地迴路之控制），可提供一更低阻抗之路徑給 RF 電流，使接至機殼的地，如沒有此路徑，這些 RF 電流會尋找另外之路，或是流到 I/O cable 之上，因而可能造成更大之環路問題。

在橋的兩端都接地也有助於 **ESD** 之免疫力。如果有一高能量之脈波注入 I/O 連接器上，此能量可能會流到主控制區域因而造成永久性之損壞，此能量脈波應經由一極低阻抗之路徑吸收至機殼接地。

另一個要兩端接地之理由是可移除因兩端之電壓梯度而造成之 RF 地雜訊電壓，如果此一 RF **common-mode** 雜訊含有高頻 RF 成份，則在兩端之接地點同時還應加上電壓之去耦合電容器。

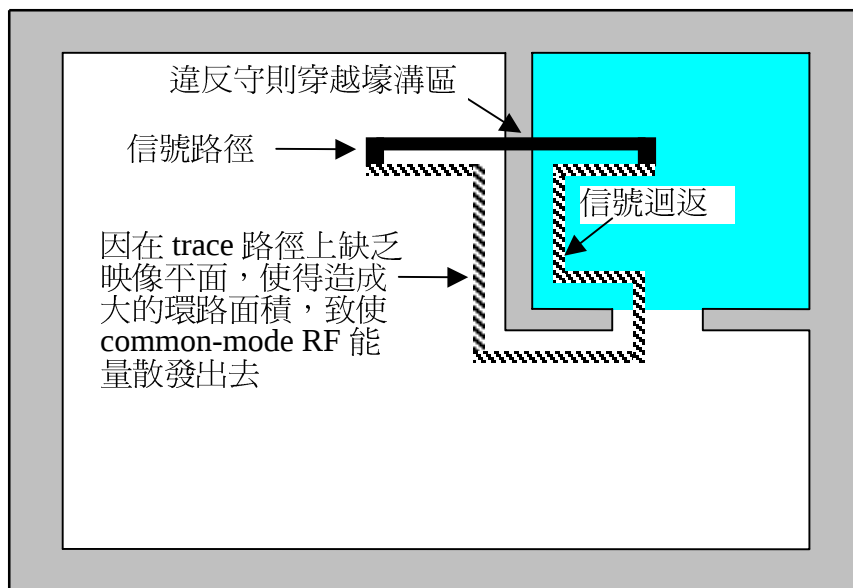
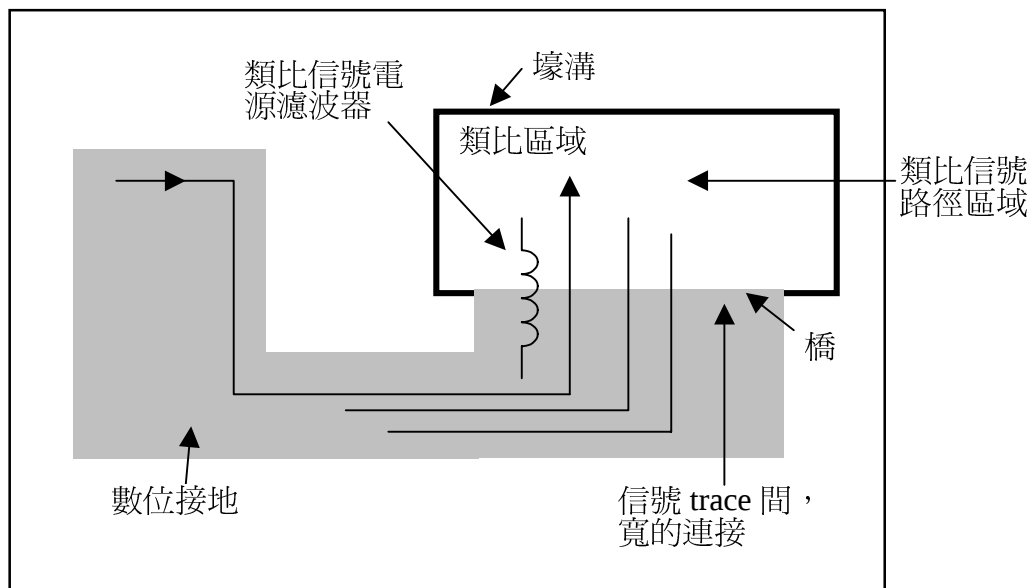


圖 5.4 違反壕溝分割概念之結果

圖 5.5 解釋了當有類比及數位部份時如何來作佈線，因為數位元件之電源平面切換雜訊（**switching noise**）可能會注入類比區域，因而對電源平面特別須要隔離及濾波處理。所有由數位至類比區域之 **trace** 都應由橋上過去。對類比電源而言，使用一個電感或是 **ferrite-bead** 來橫越此壕溝區域，也許還須要電壓穩壓器（**voltage regulator**）。類比電源之壕溝要百分之百的包圍此分割區域。某些類比元件之類比接地必須要 **reference** 到數位接地，只能經由橋上連接過去，如圖 5.3 所示。有許多 **A-to-D** 及 **D-to-A** 轉換器同時有「**AGNDS**」及「**DGNDS**」之接腳，此時要將接地平面經過「橋」連接在一起，否則會因數位信號電流沒法有效的流回其源頭，而造成 **EMI** 雜訊。只有在該電路元件本身即有隔離 **AGND** 及 **DGND** 時，才須要將 **ACNDS** 及 **DGNDS** 經壕溝方式分隔開來。



注：所有的信號 trace 必須由橋上過，信號不可由壕溝上跨越。對類比信號，其電源平面是 100% 的以壕溝分割，如果對接地使用「橋」，數位及類比之接地都為相同電位。

圖 5.5 數位及類比分割

第 3 節 濾波及接地 Filtering and Grounding

第 1 項 濾波 Filtering

基本之 RF 濾波器有兩種，電容性及電感性。依應用不同，可能使用其中一種，或兩種同時用。大多數之低頻寬（ $\leq 1\text{MHz}$ ）界面埠可因濾波器之使用而受益；這些濾波器要確實安置在相鄰於其進入點，否則效果不大，一時之距離就太遠了。電容性之旁路濾波用來防止高頻 RF 電流進入外部之 I/O cable，以及防止 differential-mode RF 電流進入邏輯元件及內部連接線。

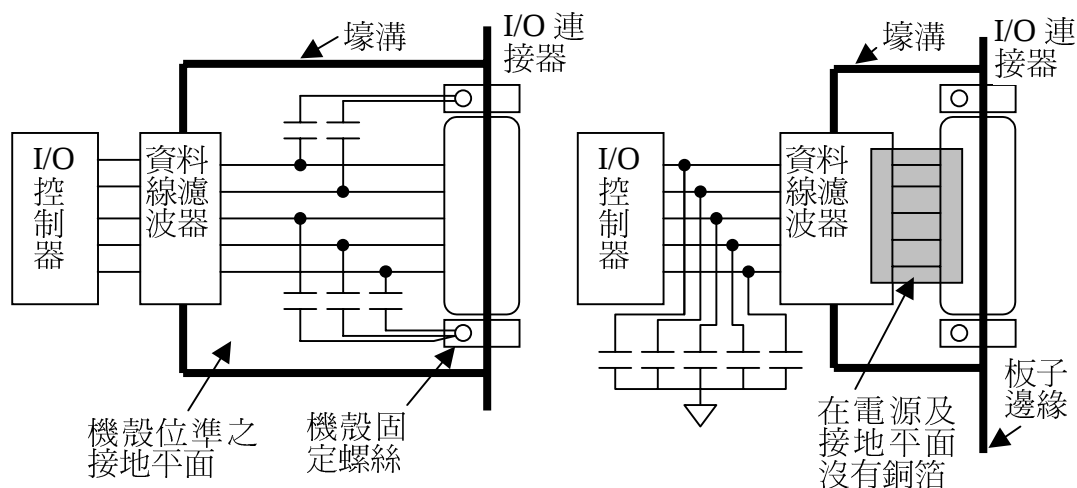
對於要防制輻射及傳導干擾之場合，將所有之旁路電容器安置在連接器之進入點旁，將資料線濾波器（電感或是 common-mode choke 共模扼流圈）放置在信號線控制器及 I/O 連接器之間，並將旁路電容器放置在 I/O 連接器旁，如圖 5.6，技術一。此種濾波電容器之放置方式，對於那些可能沒有屏蔽或是只有少許屏蔽之外接 cable 之場合，例如 keyboard 或是 mouse，是特別的有效及重要。

對於要同時防制輻射干擾及靜電放電 ESD 之場合，則須要採用不同之安排方式，將旁路電容器放置在資料線濾波器之輸入端而非 I/O 連接器端，如圖 5.6，技術二。

技術一：Bypass 電容加在 I/O 連接器處

圖 5.6 左邊所示為濾波電容器加在 I/O 連接器處，這些電容對於由元件發散出去之 RF 電流（輻射及傳導）是很好的濾波器。選擇一個具有很高諧振頻率的電容器可達到較佳之功效，同時減少因改變 edge rate 對功能之影響，這些電容值之典型值 100pF 至 1,000pF 之間，因信號頻寬不同而異。

在 ESD 狀況，電壓及電流振幅可能非常的大。國際測試標準要求必須能承受最少 1500V，要求到 6KV 及 8KV 亦是司空見慣，用在 RF 輻射抑制之表面黏著電容器通常只有 25V 或更小的耐電壓。假如有一 ESD 注入到 I/O 線，這些濾波電容可能就被破壞掉了。當有一外來的過大電流或電壓加在這些電容元件上，就有可能造成破壞。電容器元件之額定值估算應當考慮會經由旁路電容引發之實際 ESD 電壓（旁路電容之負載之故，通常遠小於 ESD 原始電壓），以及會流入電容之瞬間衝擊電流。當這情況發生時（指電容被破壞），I/O 線上之電容性濾波就不復存在了，這使得此器材無法符合 EMI 及 EMS 之要求標準，因此，選用元件時應多加小心。



技術一：對 RF 輻射最佳

技術二：同時對 RF 輻射及 ESD 時最佳

注：壕溝直接由資料線濾波器中央穿越，依據 I/O 及連接器之型式，所有或是部份的連接器可放在壕溝內，電容值依信號頻寬而定；連接器之外殼接至機殼接地，而非邏輯或信號接地。

圖 5.6 I/O 濾波

技術二：Bypass 電容加在資料線濾波器之輸入端

國際之 EMC 規範要求電子產品不只要符合輻射干擾之限制標準，同時還得對外界之感應 RF 電流也有一定程度之容忍度（immunity），這些感應電流可能是 ESD、EFT 快速突波、輻射或傳導場強 RS、人造之 RF 能量（行動電話，呼叫器），以及天然環境干擾。

爲了要減低對這些表面黏著型元件之壓力且仍然能有旁路電容之效益，將電容放置在資料線濾波器之輸入端，如圖 5.6 技術二右邊所示。當一發生時，此突波首先遭遇到的是一個高阻抗源—資料線濾波器。此濾波器可防止該突波之整個振幅直接到達控制線路或是 PCB 上的其他主要邏輯元件中，部份之 ESD 被捕捉在資料線濾波器及 I/O 連接器上。如果電路對某一頻率特別敏感，可由於此電容器之設計加入，造成一諧振並聯 LC 濾波器，以減輕其問題。在 layout 之應用時，在不影響線路運作之前提下，應總是預留有旁路電容器之加入空間，實際加入與否則留待後續之測試來決定。

要計算應用之電容值，以方程式 (5.1) 求得之；如果用一電感器取代資料線濾波器，間接得知 L 之大小，而計算出電容值。

$$f_r = \frac{1}{2\pi\sqrt{LC}}$$

$$C = \frac{\left(\frac{1}{2\pi f_r}\right)^2}{L} \quad (5.1)$$

此處

f_r = 諧振頻率

L = 電路之電感（包括電容器接腳電感）

C = 電容值

當使用資料線濾波器時，將電感值 L 以 inductive reactance 來取代，因爲 LC 之組成，可針對某一特別頻率設計出諧振零點（如果有的話）。當此狀況發生時，inductive reactance 等於 capacitive reactance， $X_L = X_C$ ，此處

$$X_L = 2\pi fL$$

$$X_C = \frac{1}{2\pi fC} \quad (5.2)$$

對 I/O 之連接線已經提出了在 PCB layout 上的設計技術了。一個仍待思考的問題是對這些電路來說到底 common-mode 電壓電流與 differential-mode 電壓電流有什麼不同，爲什麼在有些應用上使用電感性元件而有的使用電容器。在接地平面上的 differential-mode 電流會感應出 (induced) common-mode 電流到連接在 PCB 的 cable 上。Common-mode 電流經常是產生自那些「differential-mode 至 common-mode 轉換」之來源。在實務上，不平衡之電流或是無法抵銷之 differential-mode 磁通量會造就出此一來源之 common-mode 副產品，僅因爲其無法完美的平衡或抵銷。接地平面上的地雜訊，使得板子上的差模電壓電流創造出 I/O cable 上的共模電壓電流，甚至會橫越整個板面。

去耦合電容器（在使用點上有著非常小的環路）提供了一個電流驅動之結構，以驅

動 common-mode 天線。來自於大功率元件之切換電流會在接地引線或平面上產生一電壓降，此一電壓降可以潛在的推動接地系統之兩邊至另一邊（如兩個半波天線般）。如果我們試著要放置去耦合電容在 I/O 連接器（電源與接地之間）或 cable 上以消除該電壓驅動結構的話，信號上的 common-mode 電壓之反射，在 source 與連接器之間，可能會因而增加，這裡蘊涵的含意是，雖然我們可以對 cable 埠壓抑，但機板本身可能會輻射更多，或是在不同的頻率（由於 trace 上之電感與旁路電容間之 LC 諧振之故）。若我們在 connector 旁邊，遠離 source 元件之處，加上去耦合電容器的話，其 differential-mode 環路之長度會因而增加了，造成了環路電感之增加（由 source 至電容），因此，在迴返路徑（接地平面）上之電壓降變得較大。

電感性的濾波元件與 I/O 信號線作串聯使用，以移除信號 trace 上之 common-mode RF 電流。此種濾波方式是使用 ferrite-bead 或是其他型式之電感。低損失（low-loss）之電感器是差的 EMI 濾波元件。要使用具 RF 能量吸收能力之電感器。

在第八章有詳細討論如何選擇適合之 ferrite 材料（bead-on-lead、chip bead、toroidal shield bead、toroidal core 等等），以作為 RF 電流之壓制之用（common-mode）。

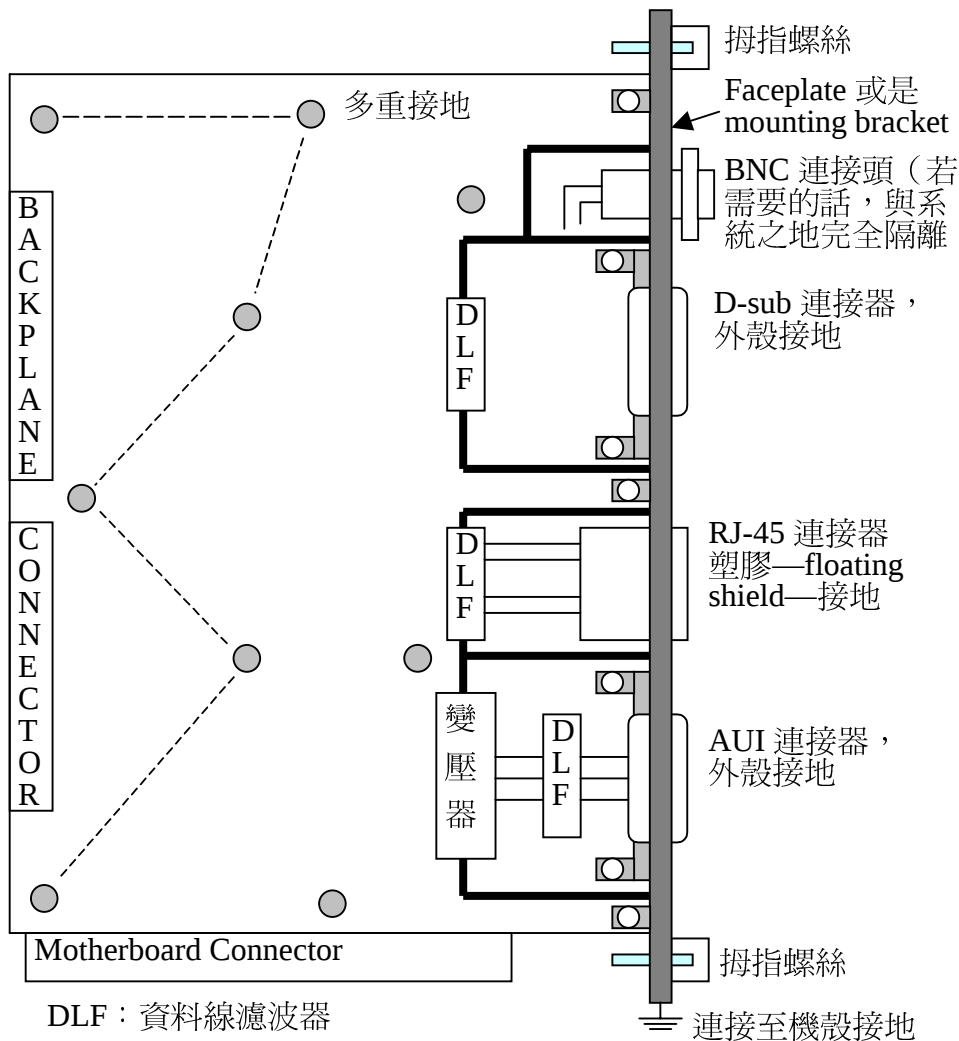
當使用資料線濾波器（common-mode、common-coil、toroids）以橋接兩個區域時，common-mode RF 電流由信號線上被移除掉。選擇正確材質之資料線濾波器是很重要的關鍵，這是因為 ferrite 物質及 core 結構，多是設計在某一規格頻率範圍內才具有最佳特性。某製造廠的資料線濾波器或是 ferrite 材料可提供在 30MHz 有 45dB 衰減以及在 100MHz 有 10dB 之衰減，然而另一供應商之同級產品（外型相同，但稍有不同之特性概觀及導磁係數）可能是在 30MHz 有 15dB 衰減以及在 100MHz 有 40dB 之衰減，根據應用之頻率範圍及電流額定，事先驗證該 ferrite 材料之特性、導磁率、及組成成份，等等。

第 2 項 接地（I/O 連接器）

對於低頻率之產品，可以使用單點接地之方式，則不適用本節，對於這類低頻率產品，在邏輯接地與機殼接地間之任一低阻抗連接，都會造成不僅是 EMI 之問題，同時還會因信號一雜音比之低落，造成功能上之問題，特別是對於沒有數位處理信號之聲音類比電路，更是如此。若一電路要稱得上是一「低頻率」並且適用「單點接地」之方法，必須要是，其經由分布阻抗之轉移電流，與操作信號準位及所要之 EMC 要求相比，是很小的。

對於使用多點接地之產品，則此節之討論是很有用的，不論 I/O 界面用在何處。大部份之 PCB 模組包含有 bracket、faceplate、bulkhead connector，等等控制邏輯電路與外部連接之固定力式，這些固定方式可能是包含不同種類的 I/O 連接器，或是空的 panel（即 EISA/ISA adaptor 之卡槽）。這些 bracket 必須是以一低阻抗之金屬路

徑 RF 束縛至機殼接地。這些 bracket 之地可同時連接到邏輯之地。



固定托架 bracket 束縛接地至 PCB，如圖之多重位置。

面板經由拇指螺絲或其他方式固定到機殼上。

板子上的接地點應考慮相對比值及接地環路。

圖 5.7 I/O 面板及 Bracket 之多重接地

在 PCB 之接地平面與 I/O bracket 之間提供多重之接地連接。在適當之點，提供多重之地連接，可對 bracket 之接地點、至機殼之分佈轉移、及 PCB 之相反遠端之間之 RF 地環路重新引導。接地越好，導引至機殼接地之 RF 電流越多。圖 5.7 所示即為如何正確的將 mounting bracket 接地至機殼及邏輯之地。所有的 I/O 區域皆以壕溝方式與控制邏輯線路作隔離。

第 4 節 區域網路之 I/O Layout

區域網路 (LAN) 及廣域網路 (WAN) 在 layout 時須要更仔細的注意，以確保能符合國際通信協定 (Protocol) 及 EMI 之要求。LAN 有不同的連線方式 (拓樸—環形

ring、星形 star) 及技術組態 (broadband、baseband、token passing、carrier sense multiple access)。許多都已在商業販售，包括最普遍的以太網路 (Ethernet)。這些網路規格簡述如下：

ISO/IEC 8802-3

Carrier Sense Multiple Access with Collision Detection (CSMA/CD)
Access Method and Physical Layer Specifications (Ethernet)

ISO/IEC 803-4

Token Bus Access Method and Physicd Layer Specification

ISO/IEC 8802-5

Token Ring Access Method and Physical Layer Specifications。Subsections describe STP (Shielded Twisted Pair)，UTP (Unshielded Twisted Pair) and Fiber Optic schemes。

ISO 9314-X

Fibber Data Distributed Interface (FDDI) ---Tokin Ring Physical Layer Medium Dependent (PMD)

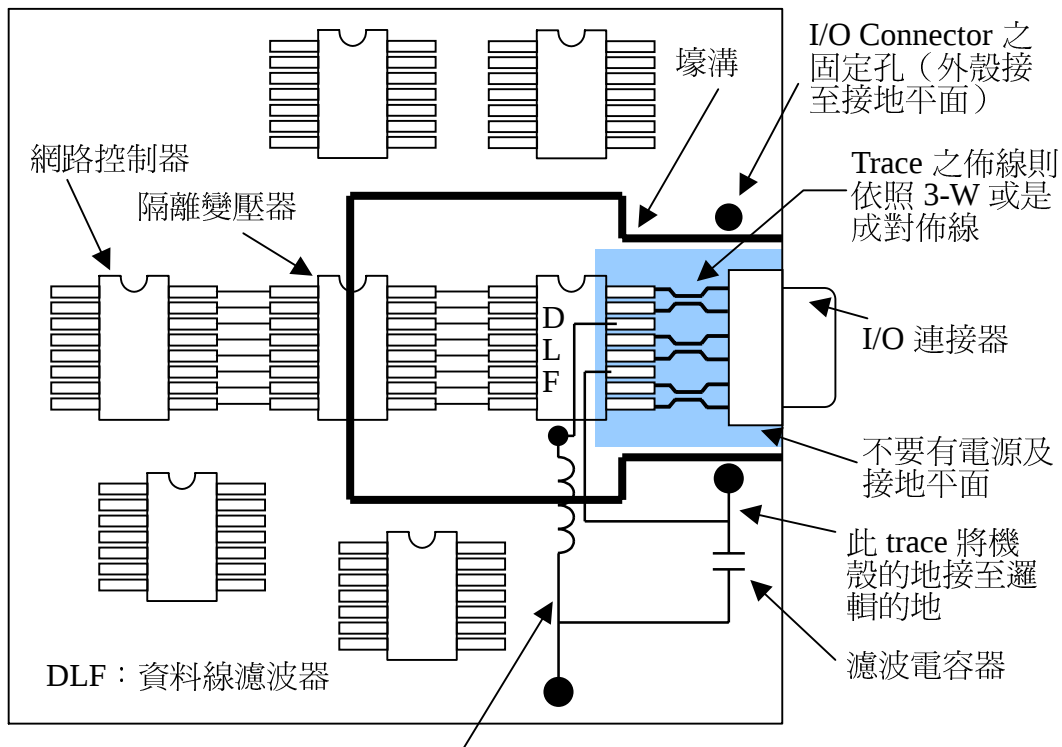
「Ethernet」對於介面格式有幾個不同的規格定義，每個都有不同之連接器及特殊之設計考慮。最常用之 Ethernet 格式通信協定如下表列。

10Base-5	10MHz, AUI-Coax
10Base-2	10MHz, Thinnet-Coax
10Base-T	10MHz, RJ-45,-dual twisted pair,shield or unshield
10Base-F	10MHz, FOIRL-Fiber Optic
10Base-FL	10MHz, FL-Fiber Optic
100Base-TX	100MHz, 100Bast-T using 2 pairs of category 5 UTP cable
100Base-T4	100MHz, 100Bast-T using 4 pairs of category 3,4 or 5 UTP cable
100VG-AnyLAN	100MHz, use Category 3,4, or 5 UTP,STP cable and Fiber Optic

對於一些普遍之網路配置之建議方式如圖 5.8 至 5.11 所示。即使介面媒體不同，其 layout 概念及用法還是有一定的相似性的，詳細之規格定義，隨使用之規格，元件之配置需求，等等而變化，留給設計工程師自行來決定。元件之排列次序應該是：LAN Controller→隔離變壓器／波形整形電路→資料線濾波器→I/O Connector。對於介面端作了適當設計，並不就是一個確保能符合 EMI 需求之完整解決方案，此書中所有提及之要求範圍也必須要做到，特別是相關於 clock 電路、trace 佈線、I/O 隔離及濾波。

關於 Ethernet 及 Tokin ring 之介面端之設計要求之重要概念是在於「輸入並聯電容」。ISO/IEC 8802-X 定義出在波形整形／濾波／隔離變壓器模組以及 I/O Cable 之間容許之「輸入並聯電容」。使用共模扼流圈 (common-mode choke，資料線濾波器) 會增加電容，可能會降低信號品質功能，而且更可能違反 ISO/IEC 規格。如果一定要使用 common-mode choke，使用前先測試一下，裝設在最終裝置位置以確定符合介

面規格。



只在周邊元件需要電源時用到，trace 經電感及保險絲而後進入 I/O 連接器，儘量靠近橫跨壕溝之接地 trace 之旁邊。

(AUI 使用三組 differential pairs，而 10Base-T 及 Token ring 使用兩組之 differential traces。

圖 5.8 對 AUI 10Base-T(RJ-45)及 Token ring 之 layout 建議方式

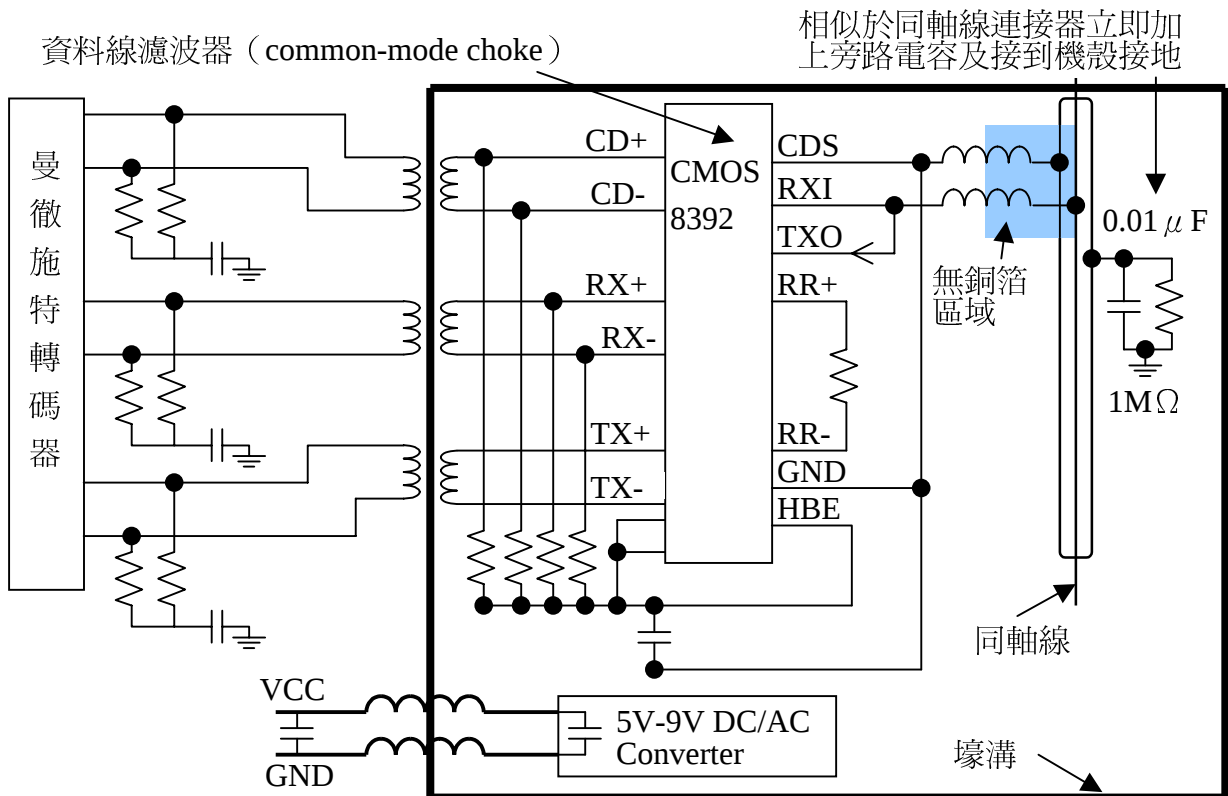


圖 5.9 對 10Base-2(Thinnet)之 layout 建議方式

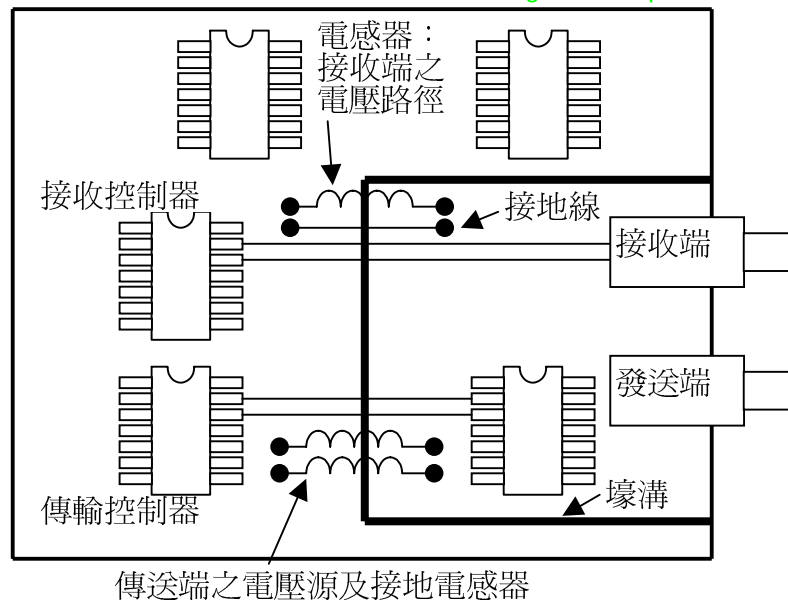


圖 5.10 對 10Base-F 及 10Base-FL 之 layout 建議方式

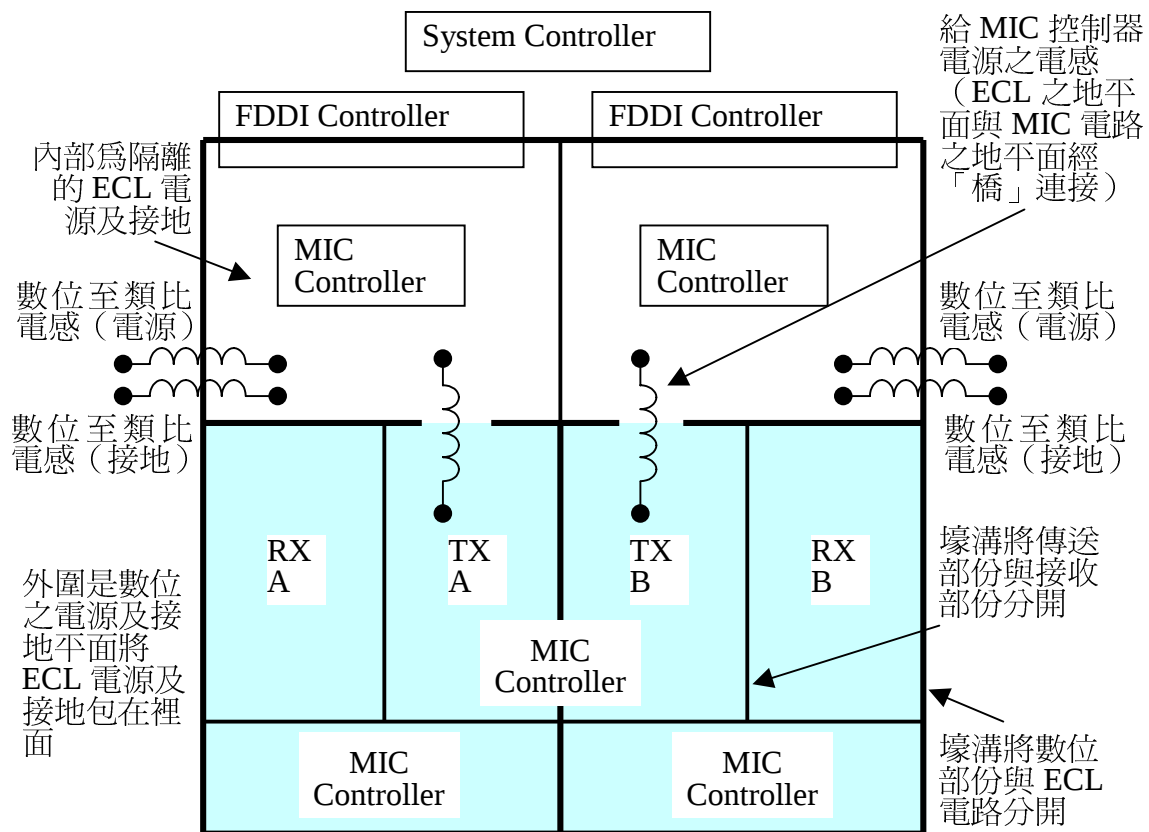


圖 5.11 對 FDDI 光纖線之 layout 建議方式

第 5 節 Video 視訊區

有 video 介面之 PCB 需要在阻抗控制、濾波、接地上，多加費心。對類比監視器而言，由 video generator 至 monitor 之信號變換率要儘量減緩，大多狀況下，video 介面信號可以降得很低，以減少 differential-mode 變成 common-mode EMI 之發生在

video cable 之上，因為 monitor 本身在接收信號後可以自行恢復（re-square）到足夠信號準位及斜率以供 monitor 內部之視訊電路使用。在 video generator 與 I/O connector 間放置被動（passive）濾波器，電容器以最短 trace 長度放在靠 connector 之旁邊，Video connector 之製造廠一般會建議前端設計之特殊要求，包括分立元件之選擇，對類比 monitor 而言，要保持 RGB 信號線、水平、及垂直同步信號線之阻抗控制，以避免因系統與連接線之阻抗不匹配，而發生反射或駐波之情況。通常，在水平及垂直同步信號線上可以加上很大的濾波器而不致影響功能運作，因同步信號比 video 信號要慢非常多；另外，video 埠之電源輸出接腳也應該要有適當的濾波。

爲了要達成 video generator 與 I/O connector 之間之固定阻抗，要關切的主體是：這些 trace 是如何佈線的？在 RGB 信號線佈線區域之下方不可以有電源平面，以防止電源雜訊干擾到這些低位準之 RGB 類比信號，要保持阻抗控制之一簡單方法是藉由改變 trace 之寬度來達成，如果此一 trace 必須表現出不同於板子上其他 trace 之阻抗特性的話。此種改變寬度之方式只在有映像平面時才有用，在所有佈線層上都要保持 video trace 路徑之固定阻抗。

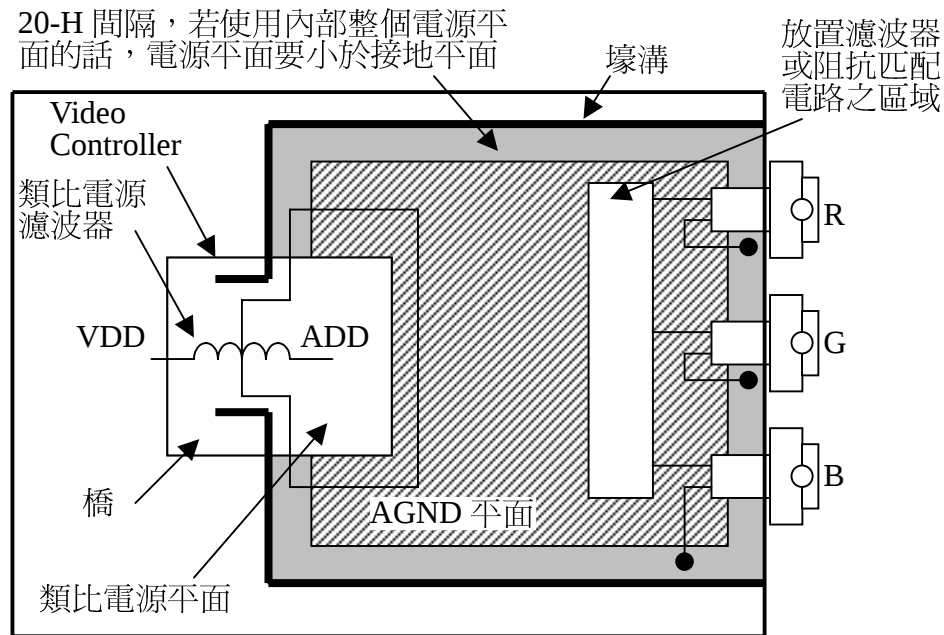
基本上，經由適當之分割、壕溝、隔離，layout 可創造出一個「安靜的」類比接地區。將所有的類比線路及元件放在此區域中，以避免吵雜的數位邏輯元件及電源雜訊干擾到類比元件。當對類比及數位分割設計壕溝時，對電源平面使用 20-H 法則，如圖 5.12 所示。

注意到一些供應商製造之 video controller（RAMDACs，digital-analog converters with random access memory）將類比接地與數位接地放在同一類包裝中。如果我們選用的 RAMDAC 是兩種地連在一起的，則要用一個完整之地平面給類比之地與數位之地，且將類比區域自數位區域中分割開（藉由壕溝及橋）。對這類之 RAMDAC 不要使用 ferrite bead 來隔離及連接其接地，應該要用「橋」來將兩邊連接；另外一些供應商會使用內部之 CCD（charge-coupled device）元件將其 RAMDAC 之類比接地與數位接地完全隔離。對這些部份，使用 ferrite bead 來做隔離及連接，參考供應商之建議做法。

絕對不可以把元件或 trace 跨越壕溝區域進入隔離之數位或類比區域中。採用這些技術時也要加入 20-H 法則之考慮。同時亦建議此一圍繞之平面是接地平面而非電源平面以減低交叉耦合（cross-coupling）。如圖 5.12 之多層板之堆疊。對雙層板遵照相同的準則，但要更小心於元件之放置及 trace 之佈線以防止類比及數位部份之雜訊耦合。Video 之濾波器之分離元件應總是置於 I/O 連接器之旁邊，並儘可能減短佈線長度。

有些類比監視器之信號傳輸是使用單芯同軸線從 I/O 連接器到監視器，該同軸線之編織網（braid）並不是一個 RF 屏蔽之作用，而只是做為信號迴返之用途，如果不計較長導線之接地漂移的話，此編織網線可以束縛連接到機殼接地上，同時也必須

直接連接到 video controller 上，如果同軸線之編織網線沒有接到機殼之地的話，則要提供一個 AC Shunt 電容（高諧振頻率之旁路電容）在同軸線之編織網與系統之機殼接地之間，以去除存在於同軸屏蔽線上之 RF 屏蔽電流。記住，試圖去隔離同軸線之「shield」與機殼，會造成 video 部份之類比接地「起飛」（taken-off，高於板上其他地方之位準），並延伸至整條 cable 上，如果沒有光學式或變壓器式之隔離的話，此一延伸之「浮動 floating」狀況會使得類比元件對於 ESD 及其地 cable 上之感應電流之抵抗力非常的脆弱。



注：
如果是 AGND
與 DGND 在
Video controller
內部是共通的，
則使用一個接地
平面，不要隔離
類比與數位接
地。

層之堆疊（三度空間分割）

Digital Trace		Layer 1
Digital Ground		Layer 2
Digital Trace	Dead Zone	Layer 3
Digital Power	Analog Power	Layer 4
Digital Ground	Analog Ground	Layer 5
Digital Trace	Analog Trace	Layer 6

在 Layer 3，沒有銅箔層及 trace，完全空無一物

壕溝

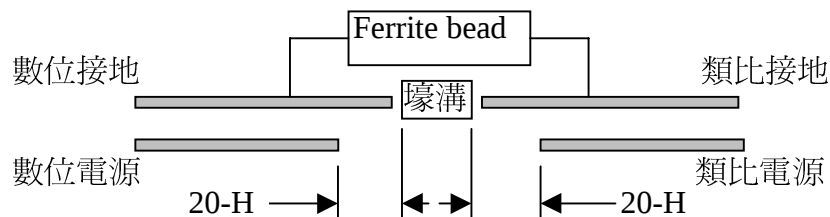


圖 5.12 Video 電路之 Layout 觀念

對使用數位 video 界面之 PCB 而言，使用不影響功能之資料線濾波器在高危險之信

號上，同時也延用在其他相關連之信號線上，以保持信號阻抗之控制。將 video generator 之輸出端到 I/O 連接器之區域放置在隔離（安靜）區，將 I/O 連接器及 cable 之屏蔽直接的 RF 束縛到機殼之授地，在其一進入之位置，特別是對於那些不把編織網當成信號迴返之狀況。

第 6 節 Audio 音訊區

有音訊電路之 PCB 一般包含有以下三部份：數位區域、類比控制、及音訊界面。這一多重準位之功能分割可用在四層或更多層之堆疊，而在兩層板之應用上是非常的困難。大多數之雙層板不能使用「壕溝」因其根本沒有平面可以作分割，然而，如果可能的話，在雙層板上形成一個壕溝線之接地邊界之分割，以將同功能之電路區塊包圍住，做為一種「分割」。

使用一個直接在 audio controller 及所有 trace 之下之「橋」來分割類比與數位區域，如圖 5.13 之範例。沒有任何 trace 可以直接或間接的橫越壕溝，要作到以完整壕溝之邊界，將功能分割之間達到完全「隔離」，只可能存在於使用如光學或變壓器隔離元件類之隔離元件之情況中；在特殊之狀況下，甚至於連電源都可能被要求要以變壓器耦合之 dc-dc converter 做隔離。

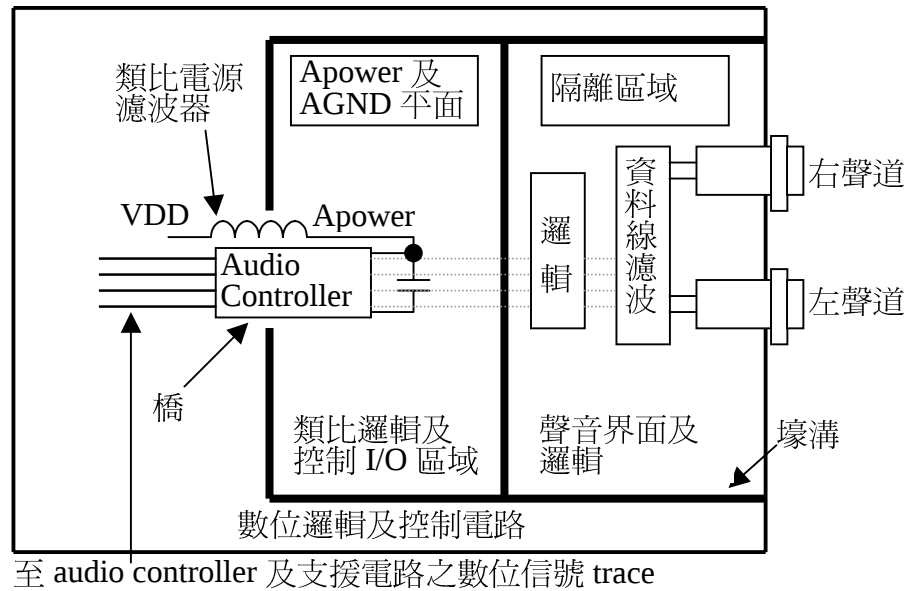
當對類比及數位電源及接地設計（壕溝）結構時，將類比與數位間之電源及接地佈線在直接相鄰於 audio controller 之旁邊。在此位置上對電源加上適當之濾波器。如果類比及數位元件使用共通之接地，則只有電源須以壕溝隔離，並遵從 20-H 法則，如圖 5.13。類比之電源以一 ferrite bead 作連接，之後佈線在 Layer 4 以 trace 或平面方式作成電源分布。

所有內部連接之 trace 必須由「橋」上通過（或是隔離元件），並應直接相鄰於映像平面。如果有任何 trace 未經由「橋」上通過或是其他不相關之 trace 橫越過「壕溝」的話，會造成數位之切換雜訊注入到類比區域之中。即使是「白雜訊」（white noise，元件之本質雜訊）也會更嚴重，在此狀況下，「白雜訊」是一種隨機雜訊，分佈在一定頻率範圍區域中，每單位頻寬之能量固定，其包括電源供應及系統雜訊，通常可聽見 50/60 Hertz 之哼聲（hum）夾雜著數位瞬間突波。

對於在數位及類比區域之元件，依適當之頻寬選用去耦合電容及旁路電容。如果需要減少整流穩壓之漣波，採用一個使用適當旁路之三端穩壓器或是 dc-dc converter 之分開的類比電源，此一穩壓器（regulator）必須要有充分的去耦合電容以防止電源供應或是數位切換雜訊進入類比區域。將此類比電源 trace 經「橋」佈線到類比區之電源平面（Layer 4），其接地之「橋」在 Layer 5。

Audio 界面的處理與數位邏輯與類比控制區域都不同。爲了要防止機殼之 RF 數位

切換雜訊耦合進入 audio I/O cable，需要完全的與數位系統之電源與接地隔離。Audio cable 一般包含一對導線給信號及其迴返（signal and return）。同軸線之編織網，如果是用在 audio cable 之內部，實際是信號之迴返而非 RF 屏蔽。如果是使用這樣的 cable，則應使用隔離型式之連接器，將 audio I/O 界面連接器與 PCB 以壕溝、隔離元件等，與機殼作隔離。隔離方式並應能適當的承受外界之 ESD 現象。否則，應另加 ESD 保護方法以達到所需之隔離阻抗。



層之堆疊（三度空間分割）

注：
在 Layer 3，dead zone 中沒任何東西，它是用來使類比 trace 與數位平面分開，所有信號 trace 都必須相鄰於電源或接地平面。

Digital Trace to video controller	Analog Trace	Layer 1
Digital Ground	Analog Ground	Layer 2
Digital Trace	Dead Zone	Layer 3
Digital Power	Analog Power	Layer 4
Digital Ground	Analog ground (若控制器需要，設為 digital gnd)	Layer 5
Digital Trace	Analog Trace (digital trace，若為 digital gnd 平面時)	Layer 6

壕溝（D-A 之分割）

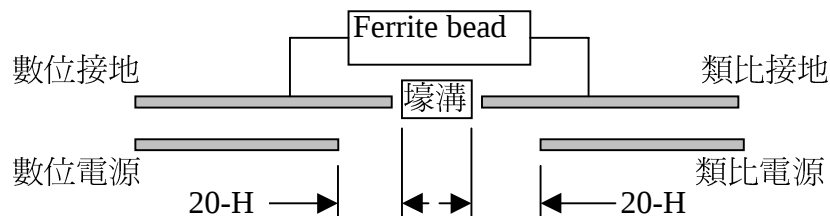


圖 5.13 Audio 電路之 Layout 觀念

使用 common-mode 資料線濾波器以移除在 audio trace 上之數位 common-mode 電流，並且提供一額外之資料線濾波器在類比區域與 audio 界面之間。不要使用 ground choke 或是電感來連接「類比之地」到「audio 之地」。Ground choke 或是電感會使接地線路增加電感（阻抗），此電感會使地雜訊電壓從板子之雜訊區（noisy part）

進入寧靜之 audio 區域，將濾波電路（電感或是電感串接電容器）直接放置在信號之進入點。

將所有之類比 trace 及元件放在隔離的類比平面以防止數位平面與類比區域之耦合。如圖 5.13 之 Layer 3 中之「Dead Zone」。不要將任何的元件或是類比佈線橫越壕溝到類比區，在 audio 區域之 PCB 也應遵照 20-H 法則，圍繞之平面最好是接地平面而非電源平面以避免交叉耦合。

如果外接之 audio cable 是一個兩芯的 differential pair（for signal high and low）且有一外層屏蔽（overshield）護衛，將此屏蔽直接接到機殼的接地。

第 7 節 突波保護 Energy Hazard Protection (Fusing)

有些 PCB 會提供 AC 或 DC 電源給外部連接線如 keyboard，外接 SCSI 設備，Ethernet MAU（AUI），FDDI 應用之光學開關，遙測元件等等，這些外接之電壓需要符合產品之安規要求；安規眼光認為這些電壓是有潛在之危險性，因而有些強制之要求須在設計時作考量，這些供應外界之電壓應符合以下規範，按 EN 60 950 Section 5.4.9（此節相同於 UL 1950 或 CSA C22.2-#950）之規定：

1. 在 42.4V 峰值以下之電壓操作之電路，應要限制輸出電流（在任何負載狀況下，包括短路），不能超過 8 安培。
2. 在 42.4V 峰值以下之電壓操作之電路，若開路電壓在 0-21.2V 的話應有 5.0 安培額定電流之保護元件，若開路電壓在 21.2-42.4V 的話應有 3.2 安培額定電流之保護元件。

任何離開 PCB 至外部連接器之 AC 或 DC 電壓應要有限制電流之元件，或是符合安規之保險絲。保險絲可以是一有座的保險絲，熱耦元件，串聯電阻，正溫度係數（PTC）之元件，或是 picrofuse。有座之保險絲並不易更換，最好是使用 PTC 元件（一種溫度保險絲，當錯誤狀況時會中斷電壓輸出，當錯誤排除時會重新連接）。因為其為「自動復原」，錯誤發生時，PTC 不需要人為更換，PTC 也必須是安規通過的材質，以確保最低之觸電危險。其不允許在任何狀況下之元件失常。

最大可容許電流如下所列：

開路電壓	保險絲	最大可容許短路電流
0.0-21.2V	5.0A	8A（1 分鐘之後）
21.3V-42.4V	3.2A	8A（1 分鐘之後）

第 8 節 CreePage 及 Clearance 距離

安規之主要考慮是觸電之危險。雖然說 creepage 與 clearance 與 EMC 無關，一個簡單的討論還是適當的。為何討論 creepage 與 clearance，主要是因為在 PCB 上之 AC 或是高電壓佈線可能會有不正常（abnormal）的錯誤情況發生。包含初級到次級，初級到地，初級到初級等模態。要防止錯誤狀況產生之觸電危險，高電壓路徑與次級路徑或是與接地之分隔距離應該要規範。此要求對電源供應器或是相關電路特別重要。

當對 AC 電壓佈置時，使用足夠之 trace 寬度及空間以符合 creepage 與 clearance 之距離要求，如圖 5.14 所示。

- ❖ **Creepage（沿面距離）** 是指兩個導體間之最短路徑，或是一個導體與器材之 bounding surface 間之距離，沿著絕緣體之表面量測。
- ❖ **Clearance（沿空距離）** 是指兩個導體間之最短距離，或是一個導體與器材之 bounding surface 間之距離，沿著空間量測。
- ❖ **Bounding surface** 指的是電氣封裝之外表面，像是金屬箔層與絕緣物質之可碰觸表面接觸。

Creepage 與 clearance 談的是 PCB 上的 trace 間之分隔距離，與 trace 或元件之間以及在 trace 與元件與 bounding surface 之間，在高電壓或是錯誤狀況下，電弧可能會產生橫越過 PCB 之塗層，或是在 trace 與 bounding surface 之間。結果，產生大電壓及電流，造成觸電或起火之危險。國際安規規範針對不同之工作電壓範圍定義有最少之 Creepage 與 clearance 距離，絕緣等級，及污染程度。讀者應依實際應用、產品分類以查知規範之大小限額。

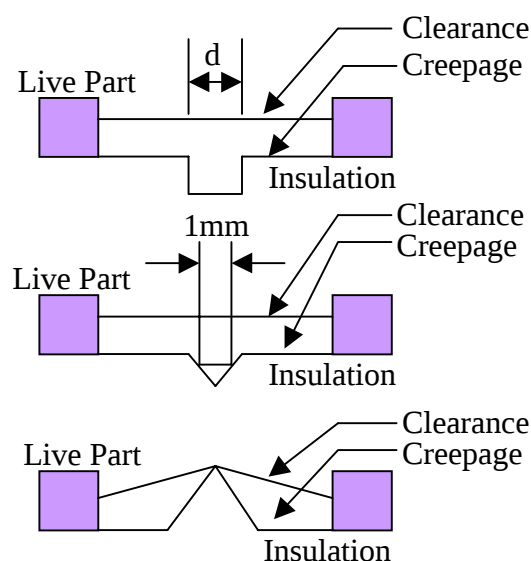


圖 5.14 Creepage 與 clearance 距離

第 6 章 靜電放電保護 Electrostatic Discharge Protection

第 1 節 基本概念 Basics

印刷電路板必須要做到 ESD 之保護以避免影響到 I/O 信號及電氣連接點，其目的是為防止因外來之輻射或傳導方式帶入之 ESD 突波造成元件或系統之損壞。

ESD 突波是產生自人體、傢俱、以及像紙張、塑膠、等等簡單之材料。此極突波可經由多種如電路、接地等耦合路徑，甚至能以瞬間之電磁場來傳播。ESD 造成很多種損壞狀況如 damage、upset、lockup、以及潛在的失誤。

ESD 是發生自一個很緩慢建立起來的能量（秒或分鐘），它儲存在電容性的結構中（例如人體、傢俱、或未連接之導線），然後此電荷就來個極為快速的釋放（breakdown，以微秒計）。以此種在微秒範圍的突波，其放電之能量可能造成在數百 MHz 或是到 GHz 程度之 EMI 現象。一個由人體產生的 ESD 其上升時間可由 200ps 至 10ns 以上之速度，同時有著由數安培到 30 安培之峰值突波電流。由於其高速及高頻率之頻譜分佈，ESD 能量可能損壞電路，使接地跳動，或經電磁耦合造成 upset。

至於更詳細的關於波形、人體、傢俱、其其他物質之 ESD 等效電路則不在本書討論範圍之內。

在我們討論到如何設計 PCB 以避免 ESD 損壞之前，必須先要了解 ESD 之原因。這樣才能使後面討論之設計技術容易理解及導入。

ESD 經由一種傳導性的轉移方式引入，它是一個電流而不是電壓。就如同水壩潰決，造成損害的是水流，而不是原先加在水壩上使它潰決的壓力。電壓僅是在 ESD 發生前方便測量的靜電「壓力」。ESD 開始經由間接輻射之方式，如同電場，而後經由電壓及衝擊電流之推動，最後像是具完整效應之電磁場。

除了電流之大小，ESD 之上升時間也很重要。ESD 是一個很快的暫態突波，最受關切的是兩極參數：峰值（peak level）及變化率（rate of change， dI/dt ）。在 EMI 之領域，以傅立葉轉換（Fourier transform）可知上升時間中組合的頻率成份，其將時域（time domain）之信號關聯到頻域（freq. domain）成份之中。如方程式（6.1）。

$$f = \frac{1}{\pi t_r} \quad (6.1)$$

此處 t_r = 上升時間。據此，一典型之 1ns 上升時間存在有超過 300MHz 之頻譜，結果是我們需要 EMI 免疫力之設計技術。

在 PCB 上，有四種主要的 ESD 失誤狀態如下：

1. ESD 電流直接流法經受害電路造成之重置 (reset) 或損壞。電流注入到元件之接腳造成永久性之損壞。依此類模式，經由在外部之元件 (例如鍵盤) 之直接連線可能帶入有害的 ESD 突波，即使只是一個小串聯電阻或並聯電容在這些電路上就可以限制流經 IC 的 ESD 電流，但是其接受的值需視 IC 而定。
2. ESD 電流流經接地電路造成之重置或損壞。大部份的設計者假設其電路之接地為低阻抗，如以 1ns 之上升時間來看，這個接地阻抗可能不低，因此此接地會跳動 (bounce)，通常之結果為重置。地彈跳也會使 CMOS 鎖定，鎖定之狀況，ESD 實際上沒有造成損害，它只是把事情設定好讓電源供應來摧毀它，或是，電路變成無反應直至按下硬體重置。
3. 經電磁場耦合造成之重置。此狀況通常不會造成損壞 (雖然對很高阻抗之元件曾經有損害之報告)。因為基本上只有一小部份的 ESD 能量會耦合到受害電路，其錯誤之模式依上升時間、電路環路面積、有無屏蔽而定。此效應通常稱為間接耦合模式 (indirect coupling mode)，場強之源頭不須要很靠近敏感線路即能造成影響。
4. 由放電前之靜電場造成之重置。此種失誤模式並不常見，如前者一樣。其產生在極敏感、高阻抗之電路。

一放電前之靜電場是起因於一物體上之裸露電極 (帶正電) 及另一相對電極 (帶負電)。在導體上，電荷的重組幾乎是瞬間的，然而在絕緣體上，電荷可能是分開的。在絕緣體上，需要很長的時間才能完成主要的電荷重組，因此，一個電壓建立了。如果此電壓夠大，就會在空氣或是絕緣體產生瞬間之 breaaakdown，造成 ESD 電弧 arc 或 spark。

因為 ESD 是一瞬間之暫態，快速之數位電路受的影響更甚於慢速之類比電路。事實上，ESD 幾乎不會影響類比電路之功能。然而，不論是數位或類比電路都會受 ESD 直接放電 (direct discharge) 的損害。上升時間快於 3ns 的數位電路特別會受 ESD 之影響，因為其易被 ESD 脈波所欺騙而誤動作。也就是說，數位電路比其他較慢 edge rate 之電路易受傷害。

一些用在 PCB 上針對 ESD 保護常用之設計技術如下：

1. **Spark gaps 放電間隙**。這是一對銳角的三角形指向彼此相對，指尖相距最大 10mil 最小 6mil。一端之三角形接地，另一端接到信號線，此一三角形不是一種元件，

而是由在 PCB layout 上之銅箔層作出來的。這些三角形只能放在頂層 (component side)，不能有防焊塗料。唯一不能使用此種放電間隙的信號線或連接是須要作耐壓測試 (Hi-pot，安規之要求) 之信號線。放電間隙如圖 6.1 所示。(密封包裝的放電間隙也有元件型式之生產在賣，但一般來講，其對 ESD 的反應時間太慢了)。

2. **高電壓電容器**。這些小小的陶瓷電容必須耐電壓到至少 1500V。較低電壓之電容可能會被第一個 ESD 脈波擊毀，這些電容必須放置在儘量靠近 I/O 連接器之處。
3. **Tranzorbs™**。這是一種半導體元件特別設計用在瞬間突波電壓之壓制，其優點是穩定性及快速之反應而崩潰 (avalanche)，在崩潰後有穩定的鉗位位準 (clamping level)。
4. **LC 濾波器**。一個 LC 濾波器是一電感與一個接地電容的組合，其構成了一個低通 LC 濾波器，防止高頻之 ESD 能量進入系統，電感對突波會呈現高阻抗，因而衰減了進入系統的能量。電容器裝置在電感之輸入端 (非輸出或 I/O 端) 會將 ESD 之高頻頻譜能量並聯到地。另一方面的效應是其同時也會加強 EMI 雜訊之抑制需付出信號 edge 之減緩及可能影響信號完整之代價)。

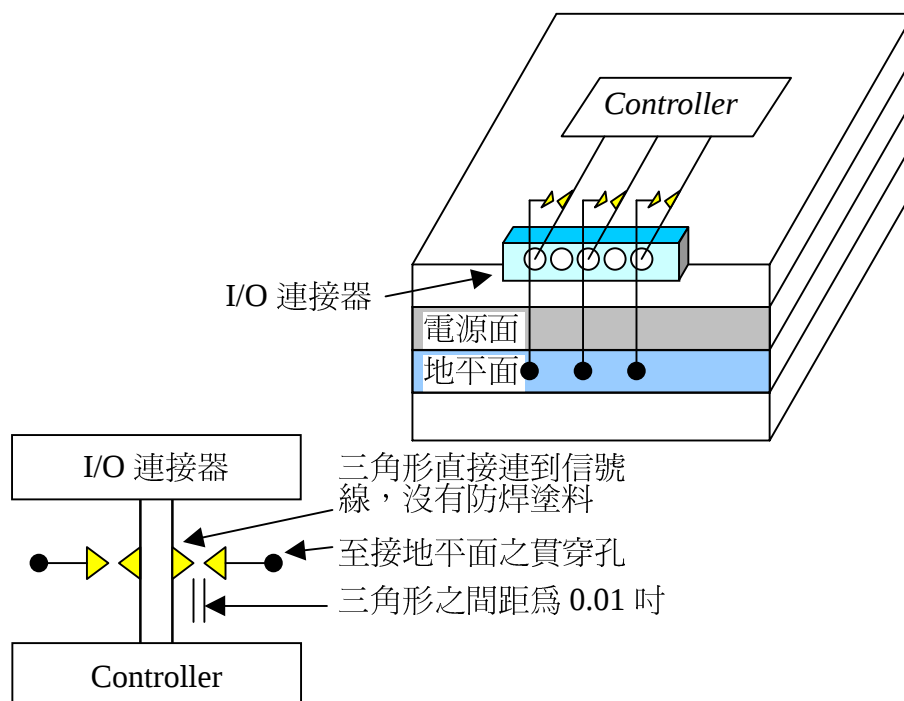


圖 6.1 放電間隙之使用

空氣形式 (air-type) 之放電間隙，如果使用在常常有 ESD 發生之場所中，會經常的 breakdown 因而產生積碳在兩個三角點上面。碳是導體物質，最後可能會將此間隙短路。最後為將信號永久短路 (或是一個不該有的電阻) 至地。因為此種積碳之現象，空氣型式之放電間隙並不建議使用在空間中且預期常會發生 ESD 之應用上。然而，密封型式之放電間隙元件通常對時間是很穩定的。

減小環路面積 Minimizing loop areas

把環路電流可能存在之區域指出來。此包含了在元件間 I/O 連接器間及於元件／電源平面間之距離。以下之技術在縮小環路面積是很有用的：

- ❖ 如果沒有使用電源平面的話（單層或雙層板），使所有的電源及接地路徑靠在一起。包含增加一些額外的穿越線以在較多位置將電源及接地路徑連結起來因而減小環路面積。
- ❖ 信號路徑盡量接近接地線、接地平面以及電路，如圖 6.2，此適用於單層板及雙層板。
- ❖ 在電源及接地之間加上高諧振頻率的旁路電容，這些旁路電容之等效串聯電感（ESL）及等效串聯電阻（ESR）要越低越好。大量使用旁路電容可降低電源及接地平面之環路面積，對低頻、高準位突波而言，對高頻之 ESD 狀況，因電容器之內部雜散電感，以及到元件 trace 或是接地連接線之電感，標準電容器之功效變得較差。
- ❖ 使 trace 長度盡量短。Trace 之長度若為某特殊頻率之波長之倍數的話，就像是一個天線一般（不論是干擾或是容忍性），因此，越長的 trace 越無法承受 ESD 能量，同類別之元件儘可能靠在一區以減少 trace 長度。

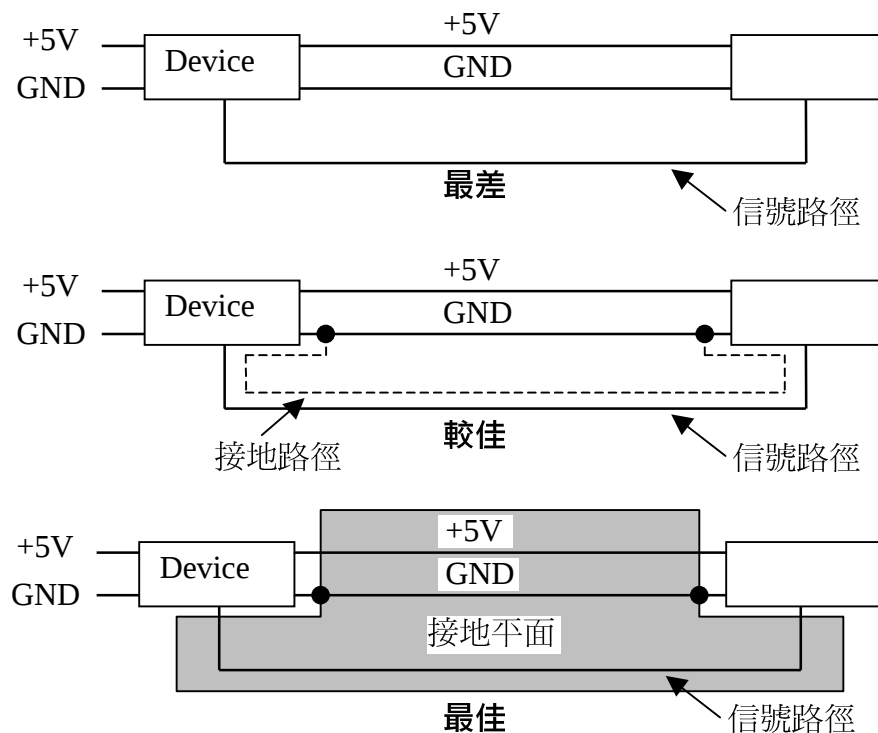


圖 6.2 信號路徑靠近地平面佈線

- ❖ 在頂層及底層，沒有元件或電路用到的區域儘可能以接地平面填滿。這些區域性之接地面可降低 ESD 效應，因其做為一至機殼接地或系統接地之低阻抗路徑，這些低阻抗路徑把高能量之脈波傳導到地而不致進入信號線或是元件之中，

此種方式之一個缺點是 ESD 脈波可以放電進入系統之接地系統，因而引起元件損害、誤動作等，接地填充區域必須要以密集之間隔連接到接地平面。

- ♣ 接地及電源子系統間之耦合必須小心的控制。方式是將電源及接地路徑緊密的靠在一起（或電源及接地平面相鄰在一起），同時也需要在電源及接地路徑（平面）間加上高諧振頻率之旁路電容，如此來自高位準脈衝之電流注入之問題也可以降低，選擇兩種旁路電容並聯可同時有效的解決高範圍之 ESD 狀況。
- ♣ 將 ESD 敏感元件以壕溝或是隔離於其他區域。壕溝或是隔離在第五章也討論過。隔離可防止 ESD 事件轉移或耦合到其他之功能部位。
- ♣ 將所有的接地連接以低阻抗之方式為之。將這些至接地位置放在會將 ESD 帶離敏感區域之處，而不可放在會將 ESD 帶進該區域之處。一個低阻抗之機殼接地會將 ESD 導引離開敏感區域，而避免在 trace 間產生電弧放電，所提供之機殼接地必須要有小於 4：1 之長寬比，記得要使 ground trace 越短越好。
- ♣ 在 PCB 內部之接地平面應包圍著每一個電鍍之貫穿孔（plated through-hole），以減少環路面積之造成。
- ♣ 以如 Zener 二極體或是 Tranzorbs™等元件提供暫態保護。這些元件必須快速到能反應 ESD 事件並能在一瞬間消耗極大之能量；要使效果最佳，將接腳保持最短。僅僅數微米之距離就可能降低這些保護元件之效果。高頻電容可以跟這些元件並聯以降低 ESD 脈衝之速度，因而給予多些時間讓保護元件發生箝位之功效。
- ♣ 將暫態保護元件接地至機殼接地，而非電路之接地。ESD 事件包含了很大量之電流，將此一大量電流放到接地平面會導致嚴重之地彈跳及可能造成元件損害。
- ♣ Ferrite 物質除了有 EMI 壓制之作用外，對 ESD 電流也有極佳之衰減能力，因此，用這一種元件可以達到兩種之壓制效果。
- ♣ 對於間接 ESD 造成之電磁場之抵抗而言，多層板可提供 10 至 100 倍高於單層板之改善。將第一層之接地平面儘量的靠近信號佈線層，使得 ESD 事件到達 trace 時能發生 ESD 抵消（cancellation）之作用。

護衛帶之導入 Guard band implementation

此 guard band 與第四章提到的 guard trace 不同。當放在板子邊緣時它們是要用來減少 ESD 之危害。要防止不是來自於 I/O 連接器的 ESD 事件所造成之傳導或輻射耦合，放置一個 32mm(1/8")之護衛帶在 PCB 之四個邊緣，元件面與鉚錫面都要放，護衛帶圍繞整個 PCB，每 1/2 吋就以貫穿孔連接到所有之接地平面，此一低阻抗之地連接會引導 ESD 能量經由一低阻抗之路徑到機殼接地或大地接地，如果在 PCB 邊緣有使用壕溝之方式，在分割點之處將 guard band 斷開，此一在 guard band 上之斷開並不會減低 ESD 或 EMI 之效能，然而，若是 guard band 沒有在壕溝處斷開，

會造成潛在的 RF 大災難，以護衛帶侵入到壕溝內，即使僅僅在尾端，也會在與壕溝內部之平面之間產生雜散電容，因而引起 EMI 及 ESD 之問題。導入護衛帶之方法如圖 6.3 所示。

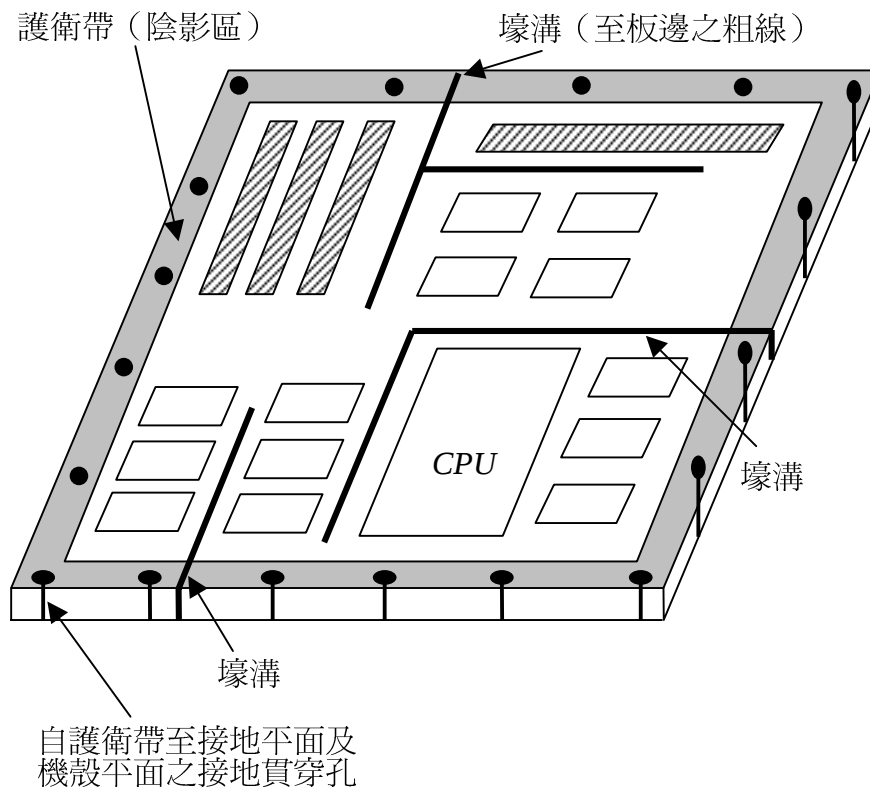


圖 6.3 ESD 護衛帶之引用

當使用護衛帶時，所有在 PCB 上的信號 trace 應該要距離板邊有超過「trace 與接地平面之高度距離」。例如，如果佈線層與接地平面之距離是 0.006 吋，則信號 trace 應該與 guard band 距離在 0.006 吋以上。

隨 layout 之不同，從 ESD 角度來看，元件放置位置之優先順序如下：

1. I/O 連接器，高電壓 ESD 濾波器電容器，ESD 二極體 (Tranzorbs™)，旁路電容，I/O 控制器。
2. I/O 連接器，資料線濾波器（有著穿越中間之壕溝），旁路電容，I/O 控制器。
3. I/O 連接器，放電間隙，資料線濾波器（有著穿越中間之壕溝），旁路電容，I/O 控制器。

第 7 章 Backplanes 及 Daughter Cards

本章之主題在探討 backplanes 以及 daughter cards 之 PCB layout 技術。在設計 backplanes 以及 daughter cards 時有幾個重點要留意，包含有 trace 之阻抗，組成之結構，trace 之終端，信號之佈線，串音，以及 trace 之長度。在前面之章節關於 PCB layout 之技術也同樣應用在 backplanes 以及 daughter cards 以及使用 adapter slot 的 motherboard。

第 1 節 基本 Basics

在設計 backplanes 之前，先要確定腳位之配置（pin assignment）。以這些步驟來指定腳位配置可以 ❶防止串音 ❷降低輻射干擾 ❸提高信號品質 ❹保持適當之地迴路控制。backplanes 基本上是一在界面電路與 daughter cards 之間之信號流的高速公路。因此，特別應確保適當之阻抗控制及信號線之終端。

在 high-technology 之產品上，對 backplanes 以及 daughter cards 間之阻抗匹配是一主要要求。一般而言，對同樣之信號線來說，在 backplanes 上面的 trace 長度大多長於在 daughter cards 上面的 trace 長度，這是因為信號通常是產生自 adapter card 上，而後經由兩個連接器（公母插座 plug and receptacle，兩者可能為不同阻抗）送出到 backplane 上，然後行經一段距離後，再經由另一對連接器傳送到目的電路板上。此一目的電路板接受此傳輸信號然後轉移到適當之接收者（負載）上。此 trace 很可能是一條極長的傳輸線。適當的阻抗匹配可以使信號品質最佳，同時減低 RF 能量、串音、以及電壓（IR）降。阻抗匹配包括：

- ♣ 對整體產品設計適當之 trace 阻抗。
- ♣ 選擇合適之連接器（connector）使用在 backplane 與 daughter card 之間，以能使延續保持阻抗匹配。
- ♣ 對連接器設計適當之腳位配置，以助於阻抗匹配，及提供充足之接地線數目，以減低橫跨連接器之接地位準偏移（ground shift）。
- ♣ 選擇在 backplane 上排列 connector 之適當間隔，以減低相稱於信號 edge time 之「內部反射」（internal reflection）。
- ♣ 調整 daughter card 上之 receivers/drivers/transceivers 之位置以減低「分支反射」（stub reflections），依據信號之 edge time 而調整。

在 backplane 上之穿孔型之連接器，造成在 trace 進入之位置上有很多的貫穿孔，造成 trace 阻抗的降低。典型上，trace 之特性阻抗 Z_0 ，在 50-70 Ω 之間。在 backplane

上大量的貫穿孔會使阻抗掉落到 $30\text{-}40\ \Omega$ ，阻抗越低，在 trace 上產生之 RF 電流越大，結果造成越多的 RF 能量耦合到其他電路、子系統、或空間之中。造成反射之不連續性因而影響傳輸歪斜（Propagation skew）及信號品質。

阻抗控制之連接器，較貴於傳統之連接器，可降低或消除產生在 motherboard 與 daughter card 或是 backplane 之間之大部份之阻抗不匹配狀況。這些連接有適用於 microstrip 以及 stripline 設計，這兩種都提供極大接腳數以及降低地彈跳現象（ground bounce）。總合之效果可在界面上有較佳之表現以及加強的信號品質，使得系統能更可靠的運作。

第 2 節 路徑及分割 Traces and Partitions

在 backplane 及主機板間，或是主機板與 daughter card 間之實體連接之不連續性處，會使得系統中的 differential-mode RF 電流輻射出去，這些的內部連接可能是 cable 或是連接器，一個另人失望的是，當在設計 backplane、daughter cards、以及內部連接時，differential-mode RF 電流源總是被忽略。

Backplane 通常包含有許多之 clock 及信號 trace，而共用單一的接地迴返平面。當在整個連接器中都有分配接地腳時，可使迴路面積最小，因而防止高準位之 RF 電流耦合到其他的元件或子系統中。在多層板中使用地迴返平面，以及在界面連接器中之 clock 或信號線間夾加接地腳位，可以使得 PCB 上之環路控制得以維持，如圖 7.1 之範例。在 backplane-daughter card 連接器尚未定義腳位配置之前，先調整最高頻，最快 edge 速度之信號，使其在最短長度之腳位位置，及把最低頻，最慢 edge 速度之信號，讓他在最長長度之腳位位置。

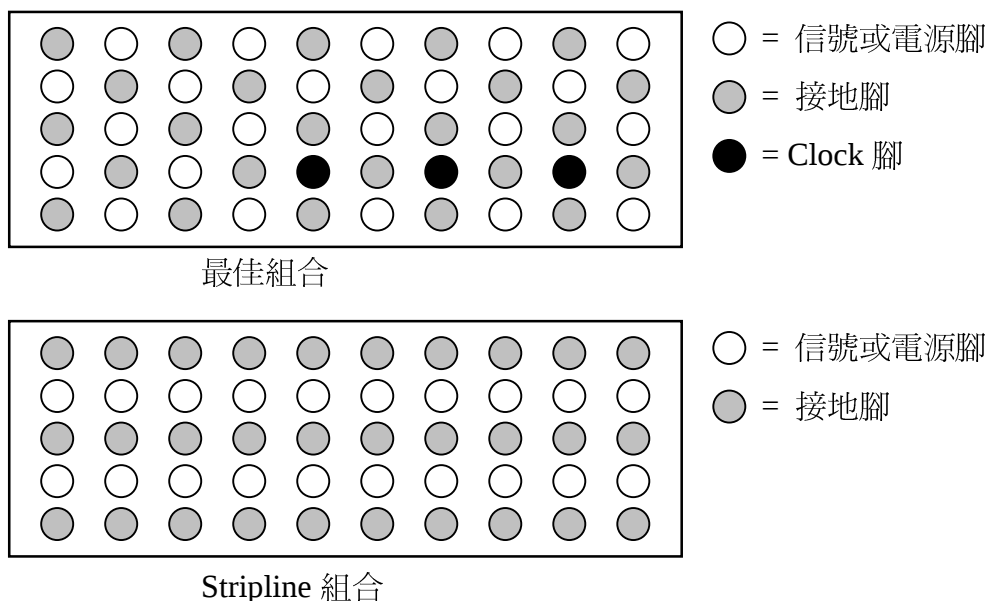


圖 7.1 內部連接之地迴返路徑之建議 Layout 方式

在一些應用上，除了邏輯接地平面外，還會有一個交流機殼接地平面（ac chassis ground plane）。此一交流機殼接地平面與邏輯接地平面並無任何直接的連接，除了在 backplane 之結構上面，兩個平面間之電容量以外（interplane capacitance）（此電容可以經由圍繞周邊加上 $\ln F$ 之電容器陣列而提高）。此一交流機殼接地平面，以圍繞整個周邊之很短之間隔距離，直接連接到主機殼之接地。這些在機殼接地及邏輯接地之間之分佈電容及外加旁路電容陣列之組合，將產生在內部邏輯接地平面之 RF 電流並接（shunt）至機殼之接地，而不需借助於直接之「dc」連接。使用交流機殼接地是要使在 backplane 中之「法拉第屏蔽分割」（Farady shield partition）展現功效的基礎，此種分割讓我們可以分隔開「EMI fields」，例如，把最高頻之系統匯流排之活動（佈線在最靠近系統卡之佈線層之上）與最低頻之系統匯流排之活動（佈線在最靠近背面卡 back cards 之佈線層之上）分隔開來。此一交流機殼接地實際上就當作是一個在（界面）卡間之「中間平面（midplane）」。

當設計 backplane 及 interconnect 時，對於 clock 及周期信號必須特別留意。**Clock trace**，在連接器或界面上，必須總是有一相鄰之接地迴返腳位在其四周，無一例外。

第 1 項 60 及 100 Ω 之路徑阻抗之範例

以下之 trace 之寬度範例是針對於 G-10 及 FR-4 之 PCB 材質之兩層或四層板。此範例代表一當設計 backplane 時所必須要作之計算。表 7.1 中解釋了此一概念，它是根據於第四章中之方程式（4.2）至（4.8），對於較多層之堆疊也是引用同樣之概念。

要達到 60 至 100 Ω 之 trace 阻抗，使用下面之計算。對 stripline 及 microstrip 來說，並行之 trace 必須要有兩倍於其寬度之分隔距離，由邊緣至邊緣測量，亦即 3-W 法則。

PCB 材質	箔片厚度（吋）		trace 寬度（吋）		trace 分隔（吋）	
	60 Ω	100 Ω	60 Ω	100 Ω	60 Ω	100 Ω
G-10	1.35	0.40	0.027	0.008	0.054	0.016
FR-4	1.20	0.36	0.024	0.005	0.048	0.015

表 7.1 線寬對於最接近平面（地或電源）之比值，雙層板

四層板之範例

對一個 60 Ω 阻抗之 PCB 或 backplane，trace 之寬度 w ，與箔片厚度 t ，之比值：典型值為 1.35（ $w/t=1.35$ ）。假設箔片之厚度為 0.020 吋（四層板之標準箔片厚度，總堆疊厚度為 0.062 吋）。此 trace 寬度應為 0.027 吋（ $w=1.35 \times 0.020$ ）。要達到 60 Ω 阻抗，trace 之分隔距離最少要 0.054 吋遠（ $0.027 \times 2=0.054$ ）。

阻抗選擇

Backplane 阻抗之最佳化，視信號的 **edge rate**（不是頻率）與連接器間之傳輸時間（或是可允許的空連接器之分隔距離）相比而定，如果此一傳輸時間接近到信號之 **edge time** 之百分之十的話，則應使用全負載（卡全部插滿）之 **bus** 阻抗值。通常，對 15 到 19 個 slot 之 backplane 而言，此數值大約為 30 到 50Ω。

第 3 節 Backplane 之結構

第 1 項 基本定義

對 daughter cards 及插入式模組（**Plug-in module**）而言，有幾個基本之項目要記住，這些是除了第二章所提到的資訊外，必須再考慮的，這裡假設外層是當做佈線平面（**microstrip**）或是完整映像平面（**stripline**）使用。一般而言，插入式模組是與「主機板」或是「卡槽 **cardcage** 組合」成 90° 之直角位置（例如在個人電腦之附加卡 **adapter board**）。

除了第二章提及的之外，有以下五方面應該要考慮到：

1. 使電源平面純淨，避免地彈跳雜訊及高頻 **RF** 電流之注入影響。
2. 匯流排之信號品質。
3. 阻抗控制及電容性負載。
4. 板子之間之 **RF** 電流耦合。
5. Daughter card 至卡槽間之「場」的耦合轉移。

電源平面之純淨

電源供應器之切換雜訊，來自於系統其他部份之輻射或傳導耦合 **RF** 電流、電壓降（**IR**）、以及地彈跳等，皆會影響提供給元件及附加卡使用之電源之純淨。電源平面的污染是很可能發生的。這會影響到敏感元件的表現，特別是對類比及 **PLL**（鎖相環路）電路，污染可能來自於電源供應器之切換雜訊，外界的 **RF** 場強，**ESD**，電擊（**EOS**），**I/O cables**，內部之接地連接，以及有著馬達及磁性元件之周邊注入電感性切換雜訊進入電源系統（如磁碟機）。若污染到低電壓敏感性電路可能導致功能問題。

當 backplane 插上很多個卡時，可能會發生電壓降，可能插在一邊的卡消耗之電功率遠大於插在另一邊的卡消耗之電功率。在這些板子間可能會產生 **IR** 壓降因而影

響到功能及表現。

地彈跳 **ground bounce**（或有時稱地偏移 **ground shift**）是一個損壞信號功能特性之主因之一。地彈跳（以及電源彈跳）會發生在當一大電力消耗之電路之元件在最大負載下同時地切換，去耦合電容可以移除由元件注入電源平面的高頻 **RF** 電流。大型（**Bulk**）電容器可防止電壓降以維持適當之電壓位準參考點。在 **backplane** 上，必須要針對每種附加模組，提供適當之分立電容器以消除地彈跳。對 **Backplane** 上之每一 **I/O** 連接器都應該要提供充分的去耦合電容及大型電容，這些電容器及各別界面卡上之電容器會減低地彈跳並維持系統信號之純淨。另外，將電源平面立即相鄰於接地平面，以降低平行電源平面之動態阻抗也是很必要的。

平行重疊之 trace 之信號品質

在 **backplane** 上之信號品質之顧慮是來自於在 **backplane** 上會有很多的 **tracc** 並行走一段長距離。顧慮的兩個項目是串音（7.8 節）及接地孔洞（**ground slots**，7.10 節）。如果 **trace** 在電性上為較長的話，則適當的 **termination** 也是必要的。

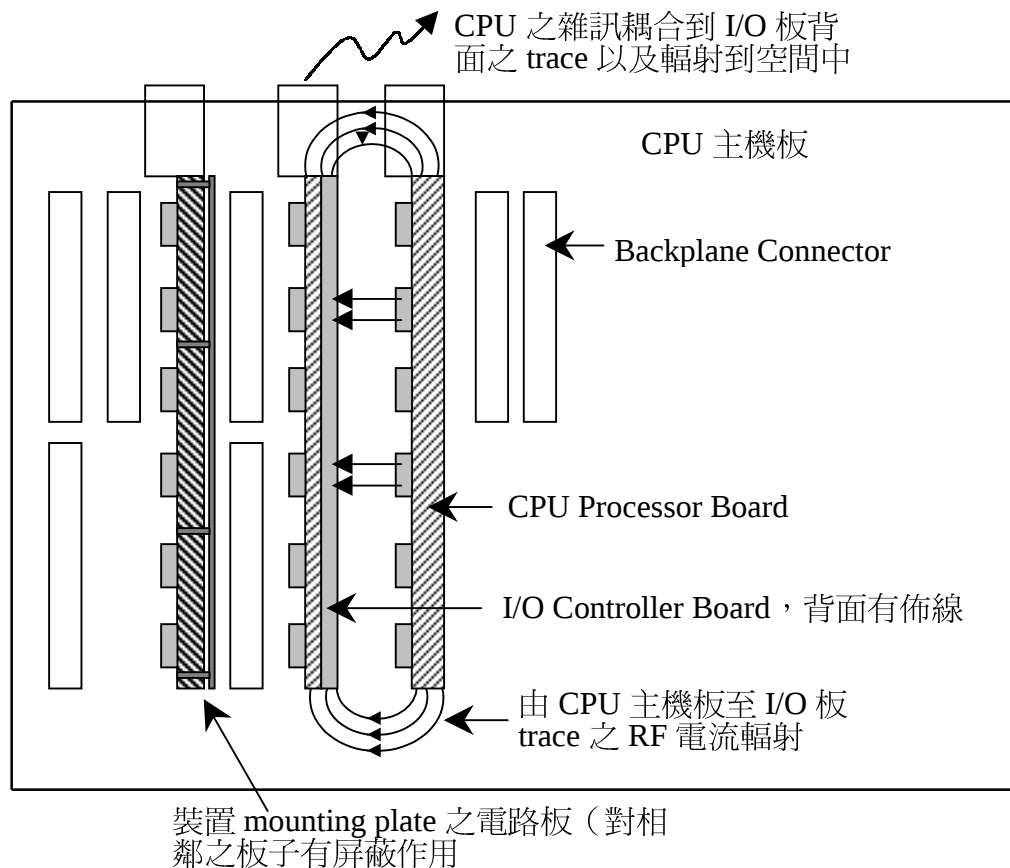
在 **layout** 時經常會忽略掉串音之可能，把兩條 **trace** 同一軸向的 **layout** 在相鄰的兩層 **stripline** 佈線層，而沒有審視到交叉耦合之可能性，是不良的作法。**Backplane** 通常皆是 **X**-軸走向之佈線方向，在兩個相鄰 **stripline** 信號層之層間耦合會影響信號品質，如果此種情況發生，則對於有很大匯流排系統之建議作法是將每一信號層佈線在兩層完整映像平面《最好是接地層》之間。在高速之多層 **backplane** 板，最好不要將兩層 **stripline** 相比鄰。在中頻寬之系統，此處交叉耦合對功能並不是一很嚴重之影響，並行之相鄰信號佈線層是可以接受的，應以接地—信號—信號—接地之堆疊方式行之，且信號 **trace** 之分隔距離應大於兩倍之信號層與接地層間之距離。

阻抗控制及電容性負載

當把多層板放入 **backplane** 時，此 **backplane** 之特性阻抗將會因增加之電容性負載而改變，在許多情況下，**backplane** 之信號阻抗都無法控制在我們想要的值。來自於 **daughter card** 上之負載狀況掌控了阻抗狀況，當信號之 **edge time** 相比於 **slots** 間之區間時間時，信號品質及對終端之阻抗控制可能嚴重的被破壞。當設計 **backplane** 時，對負載之特性阻抗應加以探討而後使能匹配該阻抗。在 **VME** 之規格是 100Ω ，然而，一全負載的匯流排實際上約 20 至 30Ω 。

如何在 **backplane** 上之匯流排，可以包含不同阻抗之數值（ $40/50/60\Omega$ ），經由分析 **daughter card** 之負載，選擇一中間之數值來使用（如 50Ω ）。選擇中間值可以減低在空載情況與滿載情況下之阻抗之偏移，當 **daughter card** 所在位置間之傳輸延遲時

間相比於信號 edge 時間，佔很大比例時，則採用滿載之數值來設計。



在 backplane 電路板之間之輻射耦合，I/O connector 會遭遇到 RF 之干擾，高危險性之 trace (clock 及 I/O) 不可以佈線在底層。

如果 I/O board 放在 CPU board 之左邊，則可能發生來自於相鄰 CPU board 之元件及信號耦合。

要減少板際之耦合，使 I/O board 之底層為一完整平面或是避免信號佈線，如果無法使用 mounting plate，可以使用 metal plate。

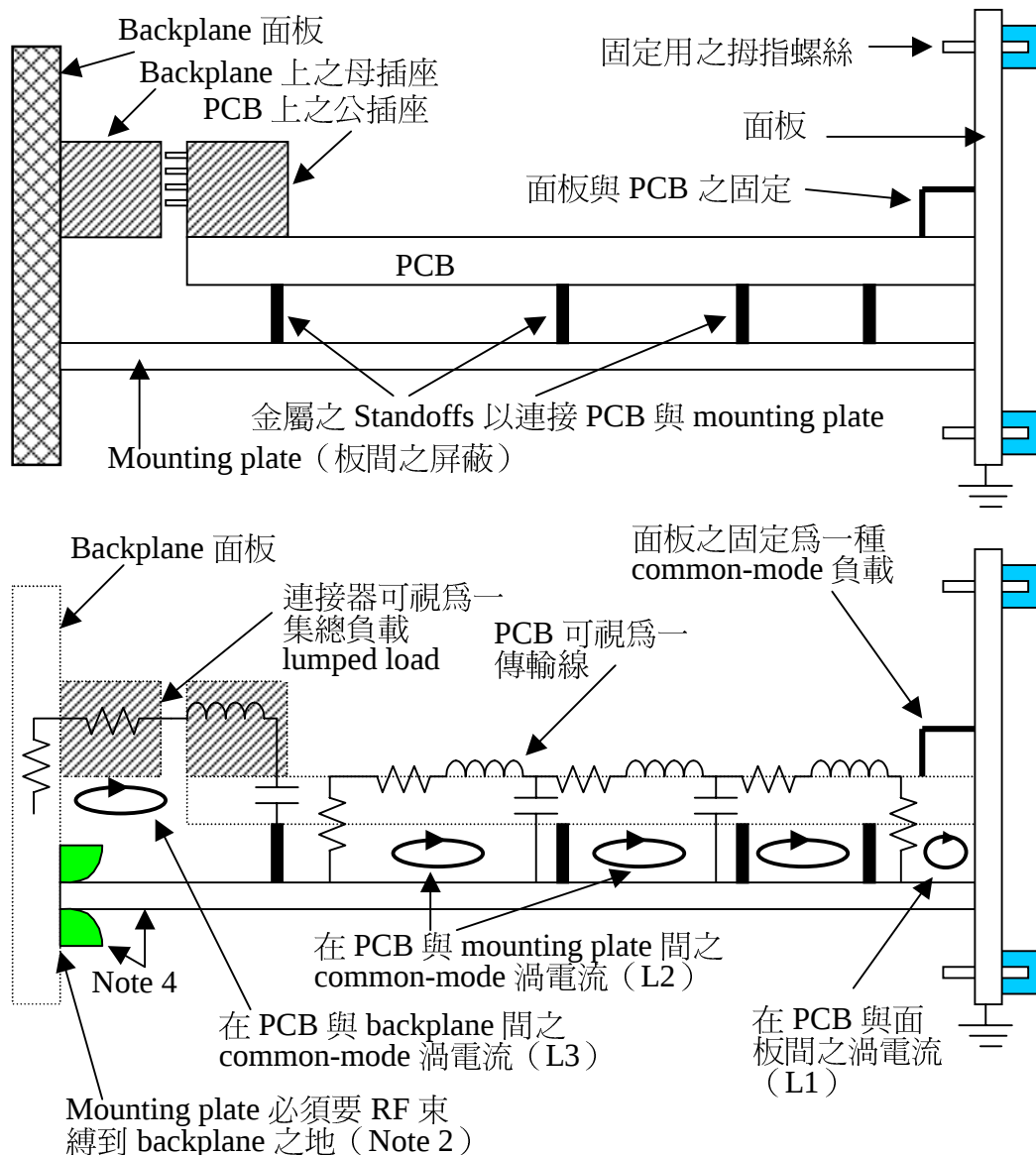
如果 I/O board 放在 CPU board 之右邊，則不會有輻射耦合之 EMI 之問題發生。

圖 7.2 板際輻射耦合

板間 RF 電流之耦合

此一設計考慮經常會被系統階層之設計人員所忽略，因其在對多層板作規劃時，只把每一塊板子當成一獨立的個體，而沒有想到最終它是會組合在一起來使用的，或是它有可能相鄰於一含有高危險信號之板子。例如說，如圖 7.2，把一個上面有 100MHz 之 clock 電路的板子（元件及 trace 在頂層）插到 backplane 上，把這塊卡插到卡槽中相鄰於另一 I/O 界面卡，在這種情況下，兩片卡間之最近距離可能僅有 0.1 吋或 0.25 吋，此時可能發生在 clock 電路板之 RF 電流輻射到 I/O 卡上造成 EMI 問題以及污染 I/O 電路；但如果 I/O 卡插在 clock 電路板之相反位置 slot 的話，此狀

況就不會發生，因為在 clock 電路板內部之電源及接地平面可以防止 clock 電路之 RF 電流經由輻射之方式耦合到 I/O 電路板之中。



Notes :

1. 要控制 common-mode 環路 L1，面板必須要 RF 束縛至 mounting plate 以及電路板。
2. 要控制 common-mode 環路 L3，mounting plate 必須要以一低阻抗之連接至 backplane，若沒有此一連接，則 mounting plate 會耦合 common-mode 渦電流至機殼或是相鄰之電路板。
3. 金屬腳座 standoffs 必須有效的作為電路板與 mounting plate 間之接地連接。
4. 經由此處之接地，橫越連接器之 common-mode 之「E」場 loss 可以降低，此方式可有效的降低在此 daughter card 之 common-mode EMI。

圖 7.3 Backplane 之內部連接之阻抗考慮

依據此一說法，值得注意的一點是，在多層板之 backplane，高危險性之信號（clock 或 I/O）必須要以 stripline 之方式來佈線。對 daughter card 來說也是一樣的，特別是對於低頻率之外接界面且又使用非屏蔽線之界面卡，如果 adapter card 之設計者忽視了板間之耦合現象，EMI 之問題將會很困難去找出來並修改。一個佈線的訣竅就是設計所有的 daughter card，以其底層作為接地平面，並且不允許有任何形式之 trace 或破裂。根據此一準則，再佐以本 guideline 中之其他技術，EMI 特性之改善是可達成的。

對於那些無法使用接地平面的應用，而又會發生相鄰板間之 RF 電流耦合的情況，則就需要外加一金屬屏蔽層，此層通常稱之為 mounting plate（當用在卡槽間之組合時）。此一金屬屏蔽層減少了卡槽環境中之板間耦合，如果完全導入此一方式的話，在卡槽間就可隨意安置界面卡而不必擔憂板間耦合狀況之發生了，使用此種 mounting plate 及其相關之問題圖解於圖 7.3 及 7.2。

Daughter card 至卡槽（Card cage） - - - 場強之轉移耦合

此情況是類似於板間之 RF 電流耦合，只是由板子（元件、地迴路、內部連接線等）所產生的 RF 場（field）耦合到 chassis 及卡槽（card cage）上，結果是，RF 渦電流會存在於 chassis 並環繞在其中，造成一個場的分佈。此一場強會耦合到其他電路、子系統、內部連線、周邊、等等。此一場強分佈最嚴重的影響是在 backplane 及卡槽間造成了一個 common-mode 電位。此一電位會使得頻譜能量進入 backplane 及 daughter card 中；此外，此一場強可以在近場輻射（ $< \lambda/4$ ）測量時量得，或是在此距離之外形成電場（在某頻率）。適切的使用些 PCB 上之抑制方法，以及將 backplane 與卡槽以一些短路方式連接起來以去除這些電位分佈，可以減少板子對 backplane 及卡槽間之場強之轉移耦合。

此一將 backplane 與卡槽以「一些短路方式連接起來」意指在其間建立出一極低阻抗之連接（reference）。此一連接是很必要的，用以短路掉產生在 daughter card 之渦電流（eddy current）。此電流會經由分佈轉移阻抗（distributive transfer impedances）耦合到卡槽上，且通常會耦合到 backplane 上以封閉此一迴路（close the loop，完成迴路）。如果在 backplane 及卡槽間之 common-mode 連接阻抗無法遠小於此渦電流之分布驅動源的話，則 backplane 及卡槽間就會產生 RF 電壓了。此電壓會使得頻譜能量進到不只是 backplane 之中，同時還會進入 daughter card 中，此電壓會使得連接到 backplane 之任何導線（體）輻射頻譜之輪廓（profile）—即使是 dc 導線也會。此一在機構上之頻譜能量甚至會，以 backplane 與卡槽關係當媒介，致使產生出板間（interboard）之耦合。

簡單的說，在 backplane 以及卡槽間之 common-mode 頻譜電位必須要短路掉。這意味著必須要在 backplane 及卡槽（chassis）之間周圍有很多的連接點。另一方面，

在 backplane 中可能會用到「ac 機殼平面」之組合，直接相鄰於邏輯接地平面，以致於一個分佈轉移阻抗會建立在 ac 機殼平面與邏輯接地平面之間。此 ac 機殼平面可能就如同 backplane 內之「法拉第分割」一般。此一 ac 機殼平面在 backplane 中之位置必須使它絕不會當作是信號 trace 之映像平面--意味著它必須要被邏輯接地平面覆蓋 (Capped)。一般來說，要得到效果，在邏輯接地平面與 ac 機殼平面間之 RF 轉移阻抗必須等於或小於 1Ω ，如此才能短路此一在「daughter card—card cage—backplane—與—card cage 間」之 common-mode 電位。

第 2 項 項層的數目

Backplane 至少要用四層板之結構—兩層佈線及兩層完整平面（電源及接地）。不建議用少於四層之設計。在四層板的堆疊，外層一般用做信號佈線，內層依序為接地及電源，如果需要用控制阻抗之堆疊時，任兩層堆疊層間之距離可能並不相同。

必須要記住的一點是：只有當信號阻抗經良好控制時，才可達到最佳之 EMI 及系統表現 (performance)，並且應 reference 到接地平面而非電源平面（作為映像平面）。以及「並行平面之本質電源阻抗分佈 (intrinsic parallel-plane power impedance distribution)」應在合理範圍內儘量的小。對於兩層以上佈線層之 backplane，有超過五個 daughter card 之 slot，及信號 edge rate 快於 5ns 之狀況，使用四層板已不能符合要求，應使用更多層板。

當使用六層以上之 backplane 時，遵照第二章之準則，特別是，如圖 2.10 之方式是最好的，因為可以把電源磁通量與信號磁通量路徑分隔開。如果對 backplane 之接地平面與機殼接地間，使用直接之連接的話，以緊密之間隔為之；如果是沒有直接 dc 連接之方式的話，使用「ac 機殼接地」之連接方法。

第 3 項 連接器槽位 (Slots) 的數目

先要知道會連接到 backplane 之 clock 或周期信號之最快 edge rate。使用方程式 (4.14) 至 (4.17) 計算這些最長之電氣長度。如果有很多連接器，量測其相距最遠之距離。要記住在現實使用上 backplane 上之所有之 slot 不會全都用上，使得在信號之流程上有這些「空卡槽之間隙 population gaps」，戲劇化的影響到 timing skew 以及反射圖形。此距離並應包括信號 trace 在 daughter card 上之長度，進行最差狀況之 timing 分析，以看看當插上很多卡時，或是兩連接器距離長度很遠時（由 source 至 load 之距離很遠），是否會發生波形的失真 (degradation)，信號線之終端 (termination) 可能是需要的。

當有很多 slot 時，對 backplane 會承受很大之「集總分佈電容」，當 PCB 實際加在 slot 上時，這些額外之電容量，會降低信號之品質，有時更嚴重到動作失常之地步。對

clock 偏移 (skew) 之補償必須要在驅動器端考慮到，以評估到當有很多卡加在卡槽上之總電容負載狀況，如第四章方程式 (4.9) 至 (4.12) 之計算。

第 4 節 內部連接

在 backplane 及 daughter card 上使用的內部連接也有一些顧慮點，特別是當有很多的連接器時。當在整結構中有很多的連接器卡槽時，與負載間產生了一個總和的本質元件延遲 (intrinsic device delays)。此延遲要與插上之卡的本質路徑延遲一併來考慮，加上這些延遲之所造成之信號衰減應該要評估。考慮到 I/O 數據傳輸之能力，I/O 數據傳輸包括 source 驅動器將信號放到 backplane 或 daughter card 之上，並將此信號送到在匯流排遠方的負載。

必須要選擇適當的 I/O 連接器使用在 backplane 之上，使其有能力負擔此一 edge rate 而不致造成信號衰竭。要保持信號整體性，在連接器邊界之阻抗不匹配之狀況必須要最小，必須要在連接器上提供足夠的接地及電源接腳以保持一固定之阻抗匹配，如圖 7.1。阻抗不匹配會造成 common-mode RF 電流並同時會改變 EMI 頻譜概觀 (spectral profile)，此一改變之 EMI 頻譜概觀會耦合到相鄰之信號腳，在信號及接地腳間調變出 differential-mode RF 電流，所有的這些效應終會導致 EMI 規範之無法通過。

用在高速度應用之 backplane 及 daughter card 連接器應該考慮到對信號傳輸品質之衝擊。連接器，就如同信號 trace 及元件一樣，含有電感、電容、及電阻。Clock 諧波及 common-mode RF 電流之寄生也會出現，特別是在問題最大的頻率點。

對 I/O 連接器之設計技術包括以下幾點建議：

1. 使所有的不連續性越短越好，使得傳輸時間極少於 edge rate。
2. 在使用之腳位空間中使用儘可能多的接地腳位。考慮板子的相對大小並使用最多的接地連接。
3. 對連接器建立一個共通之接地。
4. 使用適當之介電係數之基板材料。
5. 使接地路徑儘可能的靠近信號路徑。

第 5 節 機構

如可能的話，提供多一點的板面積給用於「內部及外部連接器及 backplane 電源」之濾波器及終端元件來使用。如果需要的話，對 I/O cable 及內部連接裝置高諧振頻率之電容器在這些區域內，如果有 cable 接到 backplane，以及映像接地平面接到

backplane 之邏輯接地的話，cable 的外層屏蔽（編織網或鋁箔）應接到機殼（卡槽）之接地，因此，外接 cable 連接器之位置應靠近 backplane 之邊界以使得可實現將屏蔽之外層連接到機殼。

所有在主機板的迴返及屏蔽平面一般皆應 RF 束縛到每一個接地銅柱（ground stitch）之位置。DC 電源及其迴返連接器腳位應為同等腳位以減低接地環路面積，其可能產生自不良的 aspect ratio 相對比值，接地平面之不連續性，不良之路徑佈線。如果中間沒有接地平面層的話，將 trace 佈線在不同層，並以 90° 角相交（水平及垂直方向），以防止平面間之串音耦合，因而可強化信號完整性。反過來說，**不要在相同佈線層以 90° 走線。**

要對 backplane，daughter card，或 motherboard 之 trace 作隔離或分割，可使用 3-W 法則，或是加上護衛路徑（guard trace）在危險信號 trace 之兩旁，或是在相鄰之佈線層加並行路徑（shunt trace）。

第 6 節 信號佈線

對於所有之 trace，clock 及 signal，避免平面間之貫穿孔。每一個貫穿孔會對 trace 產生 1-3nH 之集總電感量，用了太多的貫穿孔也會使得信號品質降低並影響 EMI 特性。如可能的話，把危險（critical）之信號佈線在同一佈線層，只有在負載元件很近及沒有反射及 timing 顧慮時，才可以雛菊鏈之方式佈線，除此之外，以加了終端之輻射狀佈線行之，如第四章之 clock 佈線，對 trace 提供適當之終端，並對驅動器以最少扇出之方式使用。

當使用 I/O 連接器及內部連接時，減少短的分支，亦即「T-stubs」。使得此分支的傳輸延遲時間遠小於 edge 時間，即使對非 clock 或周期信號亦應如此。對 clock 或周期信號總是應該避免用 T 形分支。T 形分支路徑之長度對如同 SCSI 之 I/O 元件來講是很敏感的。

如果因 layout 或是佈線問題一定要用 T 形分支的話，要越短越好。重新排列位置以減少 T 形分支。有些狀況要使用「Tee」之信號佈線才可使功能正常。此方式是使信號注入一兩邊等長之「Tee」形手臂（仍需為短的傳輸延遲時間）。此兩邊手臂必須是短的及相等長度，如需終端的話，加在尾端。使用 CAD 之計算功能以評估兩邊之長度。如必要時，以蛇形佈線以使較短之線能與較長之線剛好等長。

第 7 節 Trace 之長度與信號之終端

對標準速度之 TTL 邏輯族，如果信號長度與 edge 時間相比為短的話，一般不需要終端。對較高速度之元件，在 backplane 之終端元件就會需要了。在 daughter board

上之匯流排驅動器必須要能夠穿越所有之連接器，以推動其他 daughter board 上之有終端之負載。把 parallel terminator 放在整個信號佈線路徑上之最後。如果由不同的 slot 使用多個驅動器，使用高電流驅動器而不要用高速度驅動器，以匹配於有負載之匯流排阻抗。另外，根據所接受之信號失真程度，在功能正常之前提下選擇可能之最慢速接收器，並適當的平衡及終端。

第 8 節 串音

當很多 trace 並行佈線並且相當靠近時，在 backplane 上之串音就是一關切之要點。信號佈線路徑可能是很短到極長（電器上的，相對於傳輸延遲及信號 edge 時間）。對長的佈線，需要終端以除掉傳輸線效應，因而加強信號品質。

如果需要很大的 backplane，並且路徑是電氣上的很長，則必須應用傳輸線理論，差動信號對（differential-mode paired signals）可以經由在此「信號對」外圍使用遵照 3-W 法則之平行路徑方式以加強串音之抗拒力，此技術如圖 7.4 所示。

最好且最容易之防止串音之方式是將 trace 分開。包括將同一層之信號線以 3-W 方式佈線，或在相鄰層時以直角方式佈線；另一防止串音之方式是為將同一佈線層之 trace 之分隔距離要為 2mil/inch（0.002 吋/每吋）。

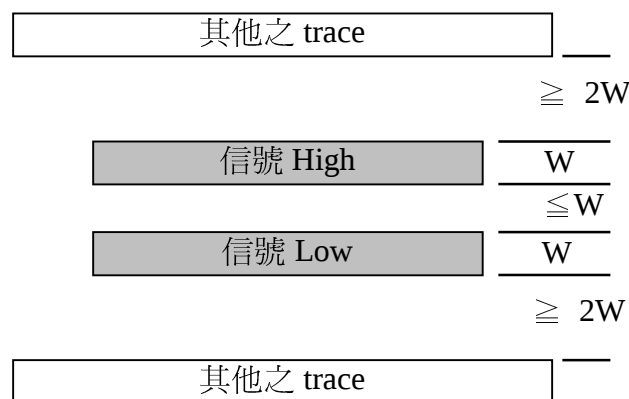


圖 7.4 Differential Pair Routing

第 9 節 地迴路之控制

如果使用 1、2 或 4 層之 backplane 時，必須注意以減小在電源及接地 trace 間之接地環路面積。在信號線之佈線間散佈越多之接地線越好，接地線經由介面連接器連到主系統接地，如果沒有電源及接地平面存在的話，將電源線及接地線彼此儘量相鄰，如圖 7.5 所示。

在圖 7.5 中，trace 以 stripline 或是並行方式（兩層板）佈線一信號線相鄰於一信號迴返（接地）路徑。主電源及接地路徑佈線在板子的中央以得到較佳之電源分配均

勻度。同時，把主電源及接地路徑佈線彼此相鄰可減低 backplane 電源區域之地迴路，在 backplane 上使用很多的信號迴返路徑可減低 trace 間之串音並可把高危險信號與其地較敏感信號分離。

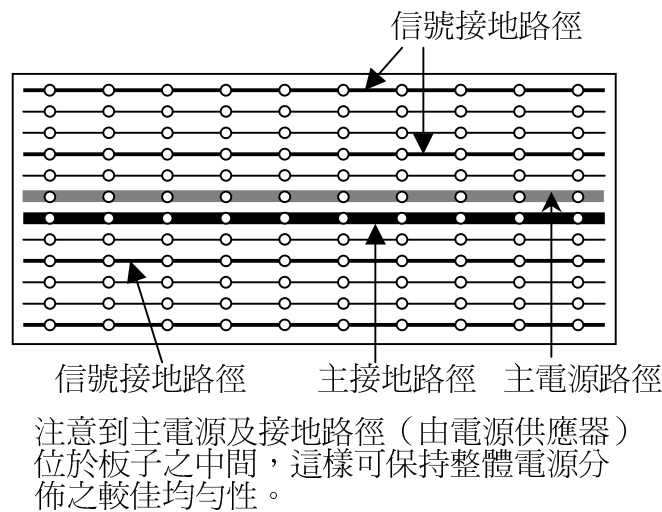


圖 7.5 在 Backplane 之接地環路之控制

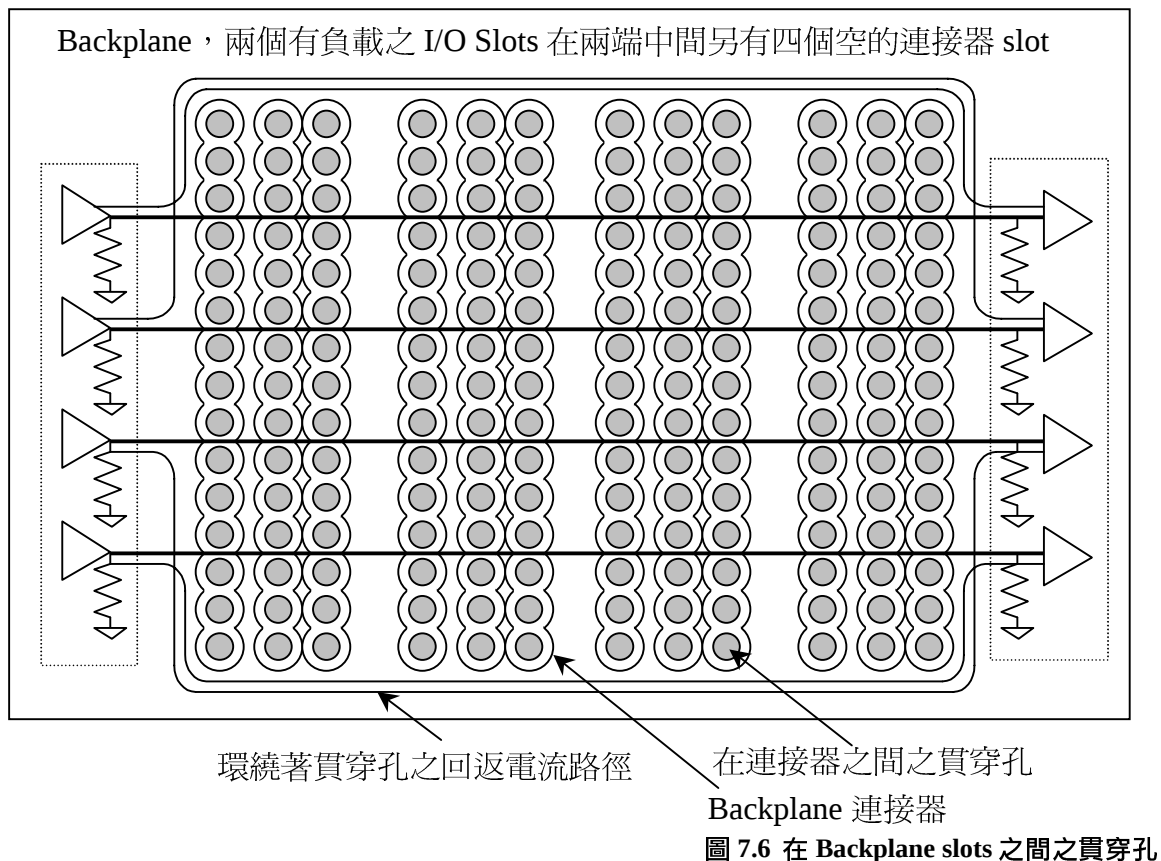
第 1 ○ 節 在 Backplane 之接地破裂區間（Slots）

在設計 backplane 時一個共通的作法是選用穿孔式之連接器型式。新型的高腳位數之連接器有表面黏著元件型的。表面黏著元件型式之連接器將信號經貫穿孔連到內層，依照連接器型式之不同，很可能意外的在 backplane 上造成了一個接地破裂區間。

一個接地破裂區間指的是：一沿著連接器之長度之接地不連續性區域，如圖 7.6 所示。接地破裂區間之形成是因為在接腳之穿孔圓周清除掉過多之接地孔洞區域，這些孔洞相互重疊因而創造出一長條形之不連續區，在佈線層，腳位間有足夠之空間可以佈線過去。在其相鄰之堆疊層是接地及電源平面層，其不只是作為板子的電源連接，同時更重要的是作為 RF 電流之迴返路徑（映像平面），如果在每一層都作成很大的重疊切除的話，這些平面層就存在著不連續性因而阻止 RF 電流以直線方式迴返至其源頭。在此狀況下，由於存在於共用信號迴返路徑之信號間之互感，因而發生串音。同時，此 trace 增加之電感可能產生出不要的 common-mode RF 電流，因而衰減傳輸在相對邊之 clock 信號之 edge rate。因為迴返電流渦狀環繞此 slot，造成此迴返電流之相位偏移，在此傳輸線之 flux cancellation 也被偏移（skew），影響到信號品質以及 EMI。

如圖 7.6，在 backplane 之 slot 之迴返電流無法直接的依據其相對的信號路徑流動，取代的是，此迴返電流改道以繞過此因過大孔洞同造成之不連續區域，要解決此問題，要確定在每一個連接器之接地清除區域仍然保持接地之連續性。這些改道之電

流也增加了 trace 之電感。增加之電感會減緩信號佈線在源頭及負載間之上升時間。



在圖 7.6 中也看到，一條 trace 之迴返電流並行於（實際是重疊）另一相鄰 trace 之迴返電流，此種迴返電流之重疊使得在分享相同迴返路徑之 trace 間存在有很大的互感。

此 trace 之等效電感可以下列方程式計算：

$$L = 5D \ln \left(\frac{d}{w} \right) \quad (7.1)$$

此處

L = 電感，nH

W = trace 寬度，吋

d = 連接器之 slot 長度，吋

電感與此接地破裂區之寬度無關，電感只與此 slot 之垂直長度有關。任何之 slot 長度都會使電流改變。因為電流之改變是基於 slot 之長度，故靠近連接器邊緣的 trace 承受之電流改道會少於位於中間之電流改道。

第 8 章 額外的設計技術 Additional Design Techniques

第 1 節 轉彎角之佈線

當設計在 ns（微秒）等級之轉態時間時，需特別注意以避免在一般佈線時發生不連續性之狀況。當 trace 在板子上作一銳角轉折時，其每單位長度之電容會增加，而其每單位長度之電感會減少，如圖 8.1 所示。對於 90° 以上之銳角就會產生此現象。銳角之轉折就像是二個電容性負載加在傳輸線之上，電容性負載會使得信號之變動率（edge）變得圓滑，要防止電容性負載，就不要使用直角轉彎，特別是對於信號之 edge rate 快於 2ns 之狀況，幾乎大多數之 CAD 軟體都有避免佈線 90° 轉折之功能，不要關閉此功能，因為 clock 信號皆需要手動佈線，先確定這些 trace 都沒有直角轉折之情況後，再對其他信號佈線。

將轉折之外角以固定寬度，小於 90° 或 45° 之角度彎折，如以 90° 角，信號遇到一寬度增加之 trace，因而增加了額外之寄生電容；小於 90° 之角度可降低反射的量並減少信號損耗之程度，當以斜角方式轉折（chamfer, 45°）時，可以達到電容量之 57% 之降低。斜角（45°）方式轉折可應用到 10GHz。在 10GHz 以上，使用圓角之方式較佳。如圖 8.1。

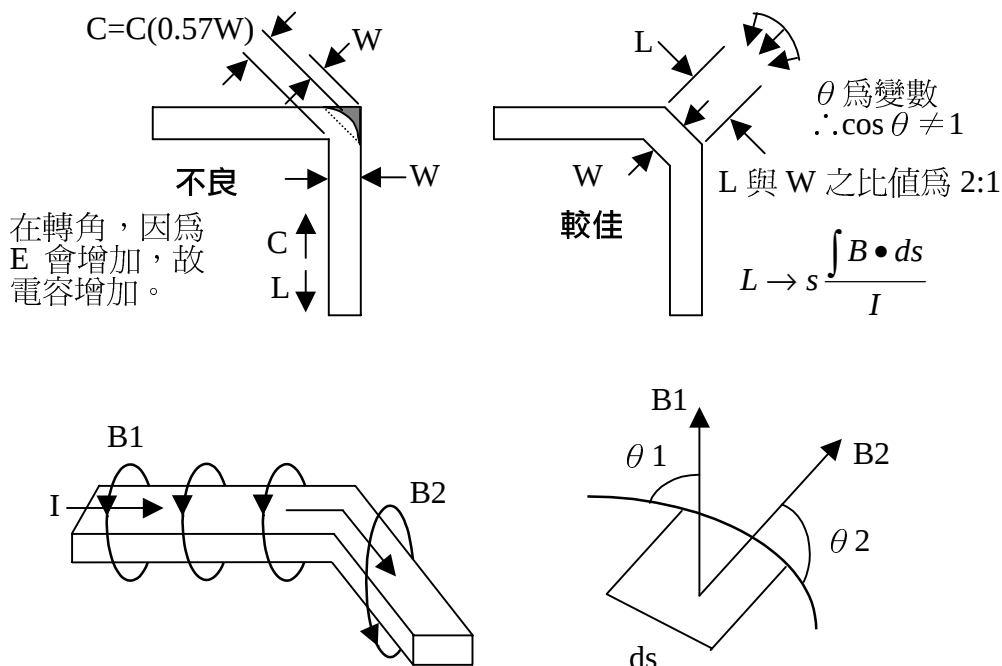


圖 8.1 轉角之佈線路徑

爲什麼 90° 角是不良之 EMI 之技術性原因是因爲：電感是源自於 $L \rightarrow \int B \cdot ds$ ，如圖 8.1 之下方所示。

如果 $\theta = 90^\circ$ ，則 $\sin \theta = 1$ ；如果 $\theta < 90^\circ$ ，則 $\sin \theta < 1$ ，且

$$[0 < \theta < 90 \text{ 時之 } B \cdot ds] < [\theta = 90 \text{ 時之 } B \cdot ds]$$

此處 B =磁通量密度 (magnetic field flux density)

另一種解釋此設計限制之方式可以用簡單的推論，此推論是引用磁通量及電流之右手定則 (right-hand rule)。舉例來說，RF 電流喜歡平順的轉角，就像汽車一樣。如果你要 RF 電流，或是你的汽車，作出一個直角轉灣，此磁通量，或是你的汽車，很難接受這樣的轉彎，因而造成信號失誤之可能，對 RF 之磁力線而言，它會以一個不均勻之方式變化，因磁通量此時以一突然之方式改變。

當要結束 PCB 之 artwork 之前，務必要檢查確定 trace 都已用 45° 取代 90° 轉折，然後才出圖。

第 2 節 如何選擇 ferrite 元件

我們都已了解 ferrite 元件 (bead, toroid, core, split core, wound bead, 等等) 可以衰減 trace 上之 RF 能量。Ferrite 元件之使用已在本書中詳述過，然而其最大的問題是如何因應不同之用途選擇適合規格之材料，通常，EMI 或設計工程師是以嘗試錯誤 (trial-and-error) 之方式以解決輻射或傳導問題，實際上，ferrite 的選擇是很簡單的。

選擇 ferrite 以抑制不想要之信號有以下三種用途：

1. 把 ferrite 當成是一個隔離「導體、元件、或電路」之屏蔽物，以隔離散佈之電磁場。
2. 當 ferrite 與電容合用時，造成一低通濾波器 (low-pass filter) LC。
3. 使用 ferrite 以防止寄生振盪或是衰減沿著元件接腳、內部連接線、trace、或 cable 之耦合狀況。

要選擇 ferrite 是依據其呈現在電路上之「阻抗」而定的。阻抗又是基礎於材料之導磁係數 μ 而定。實際 ferrite 材料之阻抗是電感性電抗 (inductive reactance, $j\omega L$) 與電阻性損失 (loss resistance, R) 之串聯，兩者 ($R + j\omega L$) 都是隨頻率而變的。實數部份代表電抗 (reactance) 之部份，而虛數部份代表損失 (losses)。

在較低頻率時阻抗主要是電感性電抗 (inductive reactance)，它是材料導磁係數之函數。在較低之頻率，大多數不要之信號被反射回去，在較高頻率，電感性電抗遞減，使得總阻抗增高，因而不要的信號被吸收。

看實際之元件，不同物質之 μ 值由 10 到 15000。主要是由於物質之 ferromagnetic resonance 之影響。導磁係數越高，諧振頻率越低。

當選擇 ferrite 材料時，必須先要知道所欲抑制之頻率範圍，以及必須要通過之頻率。不同之 ferrite 家族有不同之導磁係數、電感性電抗、以及電阻損失。最常用之材質及其濾波範圍如表 8.1 所示。

Permeability	所壓制的頻率
2500 μ	30MHz 以下
850 μ	25 到 250MHz
125 μ	200MHz 以上

表 8.1 Ferrite 材質之頻率範圍

一般來說，導磁係數越高，則最佳衰減頻率越低；相反的，導磁係數越低，則最佳衰減頻率越高。這是因為低頻之衰減是反射性的，而高頻衰減是受限於及電路諧振。

除了選擇針對某一頻率範圍之材質外，另外還要考慮到所需的衰減值，這一衰減值可以用方程式（8.1）來計算。

$$\text{衰減} = 20 \log_{10} \left(Z_s + Z_{sc} + \frac{Z_L}{Z_s} + Z_L \right) \quad (8.1)$$

此處

Z_s = Source impedance

Z_{sc} = Suppressor core impedance

Z_L = Load impedance

方程式（8.1）可看出衰減值是受產生雜訊源之阻抗大小及接收端阻抗大小之影響，此方程式之數值一般為複數型態且很難解出來。

選擇 ferrite 材質不只是根據導磁係數而已，還要看 core 之大小、環境、偏壓、及電阻性、等等，都應考慮進去。

Core 之大小或形狀決定了 core 在此一包裝之之最大阻抗。一般來說，對同樣直徑之大小，阻抗隨 core 之長度而增加。要有較大阻抗，則可選擇較長的 core。表 8.2 摘錄了三種不同之 core 大小及其在電路上的阻抗。

Bead 之型式及大小 L × OD × ID (mm)	Impedance Ω					
	1MHz	5MHz	10MHz	20MHz	30MHz	50MHz
$\mu=850, 3.25 \times 3.5 \times 1.6$	2	8	13	20	28	32
$\mu=2500, 3.25 \times 3.5 \times 1.6$	11	26	32	37	37	35
$\mu=850, 7.5 \times 7.65 \times 2.25$	5	18	29	40	58	61
$\mu=2500, 7.5 \times 7.65 \times 2.25$	25	47	58	61	61	60
$\mu=850, 11.1 \times 5.1 \times 1.5$	14	41	66	95	110	115

Bead 之型式及大小 L × OD × ID (mm)	Impedance Ω					
	1MHz	5MHz	10MHz	20MHz	30MHz	50MHz
$\mu = 2500, 11.1 \times 5.1 \times 1.5$	16	100	125	160	160	155

表 8.2 通常 Ferrite bead 材質之阻抗比較

溫度及場強之環境因素也會影響磁性參數。環境溫度的增加會使得總體的阻抗減低，若使用在溫度會升高的環境中，則應選擇對溫度有較慢阻抗降低速度之 ferrite 材質。

偏壓指的是流過此 ferrite core 的 dc 電流大小。偏壓的增加使 core 之阻抗降低的影響勝過任何其他因素之影響。在低頻區域，「磁場強度」也會致使 core 阻抗嚴重的降低。要增加 ferrite core 元件之 dc 電流能力，選擇有內建空隙（air-gap）之形狀的 core，Gap 越大，偏壓對其阻抗的影響就越小。

此一 ferrite 材質之電阻性（resistivity）會隨流過之 ac 或 dc 電流量而變。當以 ferrite bead 取代電阻時，其電阻性可能會致使「所要的信號」之過大衰減。

要增加 ferrite bead 或 core 的阻抗，可以增加繞線圈數。阻抗會隨圈數之平方而增加。然而，因增加之導線電容效應之故，最大阻抗之頻率點會降低，其最終之效果是將可用範圍變窄了（使得能夠有效壓制之頻寬變窄）。

第 3 節 散熱片之接地 Grounnded Heatsinks

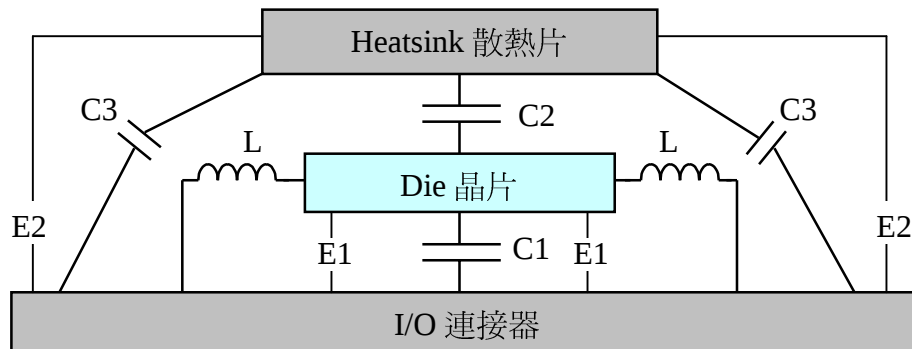
將散熱片接地，在 PCB 之 EMI 抑制上是一個新的觀念，對一些特定元件之應用是有效的。當使用 VLSI 元件且其內部頻率大於 75MHz 時，有時就需要將散熱片接地，這些 CPU 或 VLSI 比 PCB 上之其他部份需要更多的高頻去耦合及接地。

在晶圓（wafer）製程之新技術使得每一晶片（die）上可以有超過一百萬之電晶體數目。結果，許多元件消耗 15 瓦或更高之電力；一些 RISC 之 CPU 消耗 18 至 25 瓦之電力，因而需要額外之冷卻系統，例如在散熱片旁加風扇等等。因為這些高電力，高速之處理器應用在許多設計中，因而需要有特殊之設計在 EMI 之壓制。

以熱力學之領域來探討散熱片之功能，我們注意到必須要將處理器內部產生的熱排放出去，會產生大量之熱的元件一般皆用陶瓷（ceramic）包裝，因為陶瓷包裝比塑膠包裝能夠發散更多的熱。陶瓷包裝價格也較貴，但仍有些元件，其 gate 間接面數量所產生的熱超過陶瓷包裝所能散逸之程度，因而需要有散熱片來冷卻。

簡單的以熱力學的眼光來看散熱片之功能後，我們以 RF 領域來看此一金屬散熱片。要正確使用散熱片，必會用到一種散熱膠 thermal insulator（silicon compound 或是 mica insulation）。這些化合物一般是非導體，但是有著絕佳之導熱特性，將元件之

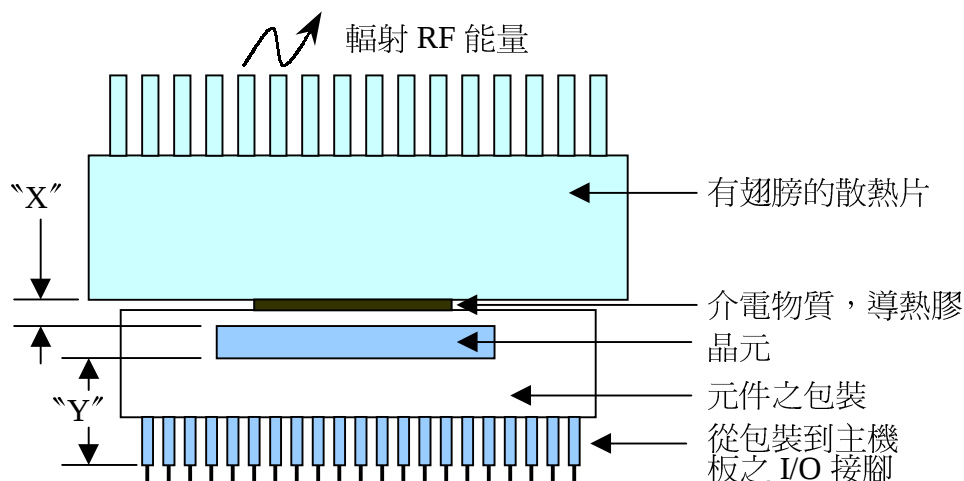
熱傳到散熱片之上。以 RF 眼光來看金屬散熱片，有以下之一些特性，如圖 8.2 及圖 8.3。



L=包裝接腳電感
C1=由晶元到接地平面之分佈電容
C2=由散熱片到晶元之分佈電容
C3=由散熱片到接地平面之分佈電容
E1=在晶元與邏輯接地平面間之電位分佈
E2=耦合到散熱片之電位，造成 **EMI** 天線

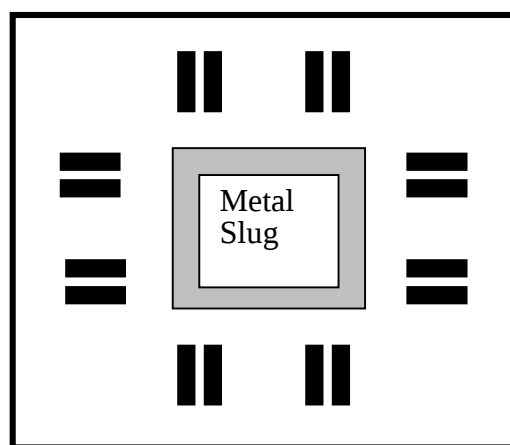
典型之 VLSI 處理器
諧振頻率，
大約 400 至 800MHz

圖 8.2 散熱片之電子示意圖



將散熱片放置在元件包裝之上方，提供一個比晶元與接地平面間距離“Y”還更接近晶元之金屬面“X”。

如果散熱片是金屬的，**common-mode RF** 電流會耦合轉移到散熱片之上，此一金屬散熱片就變成是一個單極天線，因而輻射出元件內部之**clock** 諧波至空間或附近電路板。



具有 SMT 去耦合電容 Pads 之元件之頂視圖

圖 8.3 未接地之散熱片機械圖

- ♣ 在 75MHz 以上頻率運作之晶片會在內部產生極大量之 common-mode RF 電流。
- ♣ 去耦合電容可移除在電源及接地平面及信號腳間之 differential-mode RF 電流。
- ♣ 某些陶瓷包裝，爲了其大量的電力消耗，會在其包裝外殼之頂端上包含一些 pads 以提供額外的 differential-mode 電源濾波，這些電容可以減低在最大負載下同時切換所產生之地彈跳及地雜訊電壓。
- ♣ 在包裝內之晶元靠近於元件之頂端而非底部。因此，晶片到 PCB 上之映像平面之距離是大於晶片到頂層包裝外殼的距離。在晶片內部產生之 common-mode RF 電流不易耦合過去（到映像平面上），因此 RF 能量就會輻射進入空間中。Differential-mode 去耦合電容並沒有辦法去除元件內部產生之 common-mode 雜訊。
- ♣ 將一金屬散熱片放在包裝頂層，提供了一個比 PCB 上之映像平面更接近晶片的映像平面。因此，在晶片與散熱片間會有較緊密的 common-mode RF 耦合，優於晶片與 PCB 之映像平面間。
- ♣ 到散熱片上的 common-mode 耦合現象因而使得散熱片變成一單極天線（monotonic antenna），是一個極佳的將 RF 能量輻射出去之天線。

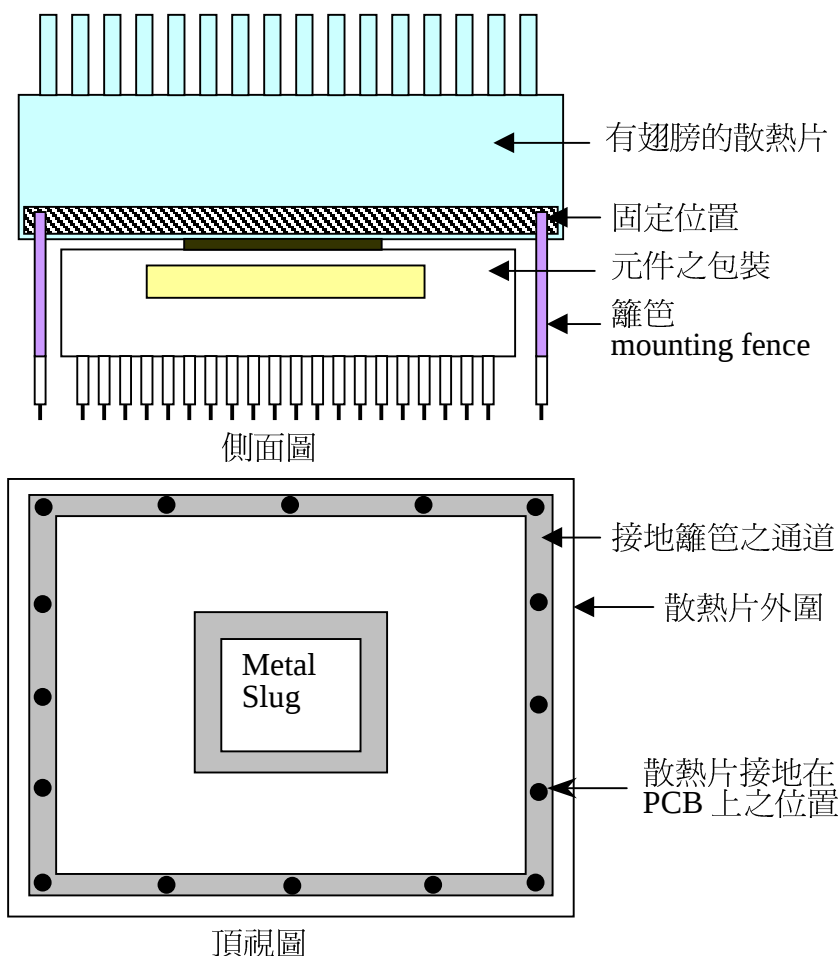


圖 8.4 接地之散熱片圖

使用散熱片之最終結果就是放置了一個單極天線在器材之內部因而將整個頻譜之 clock 諧波輻射出去，要把天線能量解除，散熱片必須要接地，這是一個很簡單的觀念，然而在 PCB 設計之 EMI 考量上常常被忽略。

散熱片應在四周用金屬連接到 PCB 之接地平面。使用一個由散熱片連到 PCB 之「籬笆」可以將元件包封起來，這樣造成了一個圍繞處理器的法拉第屏蔽，因而防止產生自內部之 common-mode 雜訊輻射出去空間中，干擾到附近之元件、周邊、電線，此種對散熱片之接地之方式必須要有微波品質之阻抗及接地區間，如圖 8.4 所示。

RISC 處理器及 VLSI 元件一般有著高的諧振頻率，此諧振頻率是來自於製程及內部 clock 頻率以及在最大電力消耗之電源平面阻抗；結果，如果元件製造商沒有應用內部 RF 壓制技術的話，VLSI 元件會發出比其他所有元件還多的輻射，此時除了將散熱片當成是一個 common-mode 去耦合電容以外，沒有其他任何辦法可以解決，此散熱片並須配合著元件包裝上之 differential-mode 去耦合電容，以及在元件下方 PCB 上之去耦合電容一同使用。

一個接地之散熱片總是在地電位。內部之 active 元件在 RF 電壓電位，導熱膠是在兩平面間之介電物質，形成一個如方程式（3.5）所描述的電容器。因此，一個接地之散熱片就是一個大的「common-mode 去耦合電容」，並且還有離散之電容在包裝頂端及 PCB 上作為 differential-mode 去耦合電容，此一大的 common-mode 電容吸收掉處理器內部產生之 RF 電流。

去耦合電容只有在其諧振頻率高於所想要抑制之頻率範圍時才具有功效。此一 common-mode 電容（除了它當成是一法拉第屏蔽之效果外）最特別之一點是它有能力可以調整到某一特殊之頻率。要將散熱片調諧到一特定頻率，先知道我們所要的頻率 X_c ，應用方程式（8.2）

$$X_c = \frac{1}{2\pi fC} = \frac{d}{2\pi f\epsilon A} \quad (8.2)$$

此處

$$C = \epsilon A/d$$

$$X_c = \text{電容之諧振頻率}$$

$$f = \text{元件所希望的諧振頻率}$$

$$\epsilon = \text{導熱膠之介電係數}$$

$$A = \text{平行平面之面積}$$

$$d = \text{包裝之頂部與散熱片底部之距離}$$

高度 d 是來自於導熱膠的厚度，導熱膠之製造廠可提供你該物質之介電係數。因這些參數都可知，由方程式（8.3）來計算導熱膠的厚度。

$$d = X_c(2\pi f\epsilon A) \quad (8.3)$$

使用接地的散熱片可作到：

1. 將包裝內產生之熱量移除。
2. 法拉第屏蔽以防止內部產生之 RF 能量輻射到空間中。
3. 一個「common-mode 去耦合電容」直接由包裝內之晶元上移除產生之 common-mode RF 電流。

如果採用接地之散熱片，要確定所有籬笆之接地腳（彈片或是其他之 PCB 固定方法）以至少 1/4 吋之間隔圍繞處理器並接到 PCB 之接地平面，在每一接地點上安裝並聯之去耦合電容器，以「 $0.1\mu\text{F}$ 並聯 $0.001\mu\text{F}$ 及 $0.01\mu\text{F}$ 並聯 100pF 」之交錯方式安裝。RISC 處理器或是類似元件產生的 RF 頻譜分佈一般超過 1GHz 之頻寬，RISC 及 VLSI 處理器通常需要比其他類元件更多的接地點，分佈在處理器的四周，一般典型之散熱片大約在其頻寬元素之 $\lambda/4$ 之機械大小內，因而使地成爲一個有效的輻射器。

第 4 節 鋰電池電路

安規上對鋰電池電路有一些要求，以預防如短路或反向偏壓等不正常狀況之發生。鋰電池電路包含有電池組及靜態記憶體及時鐘計時電路。電池必須要有反向電流保護，此保護電路包括兩個背對背連接之二極體或是二極體與一個串聯電阻，一典型之電路如圖 8.5 所示。

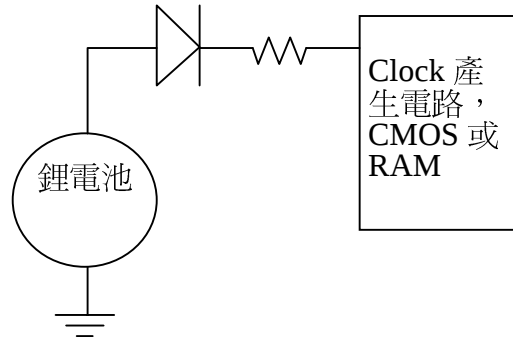


圖 8.5 鋰電池電路之設計

第 5 節 BNC 連接器

BNC 連接器需要有特別的設計考慮，當 I/O 連接線之同軸線之外層屏蔽是做爲 RF 屏蔽之目的時，將此 BNC 連接器之外殼經一條低阻抗之路徑連接到機殼接地上，確認此接地連接到機殼之接地而不是隔離或信號之接地；絕對不要用豬尾巴之方式將 BNC 連接器之屏蔽接到機殼接地上。

如果，因爲隔離之故，BNC 連接器需要浮動（floating）於機殼接地的話，使用一種隔離式 BNC 連接器，這種隔離式 BNC 連接器保證其外殼及內部信號線皆與機殼隔離，此時爲了 EMI 及 ESD 之故，必須加一個高品質（high-performance）之電容

器在 BNC 外殼及機殼之間。一些製造廠會把此一電容也包括在 BNC 隔離連接器之套件中，但額外的 ESD 防制元件可能還是需要的，如圖 8.6 所示。

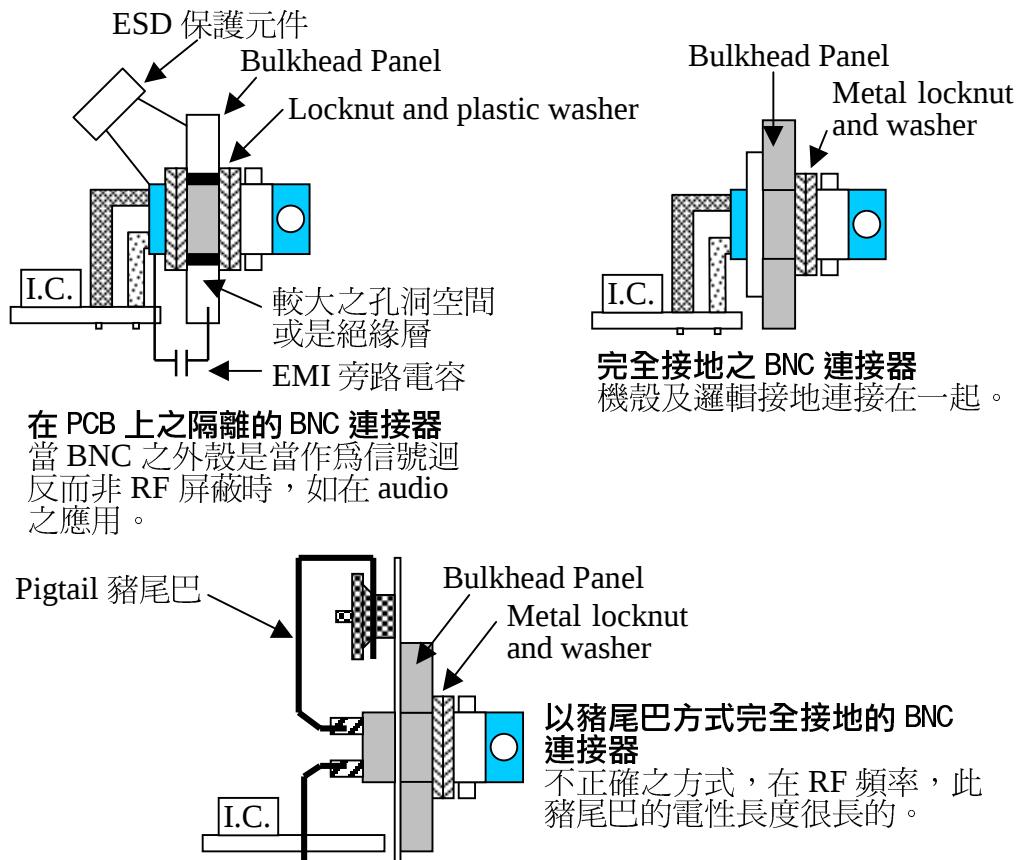


圖 8.6 BNC 連接器

I/O 驅動器應盡量靠近 BNC 連接器。設計信號 trace 之阻抗使之匹配於同軸線之阻抗，一般為 50Ω ， 75Ω ，或 92Ω 。

在任何情況下都不要用豬尾巴之方式來將 BNC 之外殼連接到機殼接地或是任何其他之接地系統。量測數據顯示，良好 360° 接地之方式與豬尾巴之方式有 45 到 50dB 之差別，在 15 到 200MHz 之頻率時，除了能夠改善 EMI 外，ESD 也因為有較低之引線電感而得以改善。因此，在大部份之應用場合，對 Cable 屏蔽建議之方式是使用將 BNC 外殼以 360° 方式連接到 Cable 之屏蔽，其外殼之後端然後以一金屬墊片接觸到機殼上。

第 6 節 Film 基板底片層

因為 PCB 密度之增加，組裝之流程需要設計者詳細的監督，以追查信號—阻抗等參數，確定 EMI 信號之整體性及 EMI 表現。以下之功能可以有些幫助：

1. **Test Coupons**。Test coupon 是一連接到測試點且拉至 PCB 外部之 trace，這些測試線可讓我們很容易的來量測板子內層之阻抗，這些測試線可讓我們在品質控

制上確保電路板有著我們所希望的阻抗特性，這些測試線或焊墊（pad）通常只在折斷板上發現而不會放在主要 artwork 或最終之組合上面，對於 backplane 或是很高速之 PCB，這些測試線應直接的放在 artwork 上。

2. **Layer stackup windows**。蝕刻在每一內層板上層數之號碼，使用 Layer stackup windows 之優點在於使我們可以知道到底用了幾層板。當我們在實驗佈置層及映像平面之配置時（在 debug 及 EMI 評估時），這樣的而 window 很有助於分析不同之堆疊及使用層數。
3. **Test points**。測試點有助於設計工程師分析信號完整性及較危險之網路。

在製作實際之堆疊大小時（層間之距離），請教 PCB 生產廠商以得知最佳的設計參數。製造廠會有很詳細的資料關於介電係數，trace 寬度大小（作阻抗控制），每一層至平面的高度，等等，典型的 10 層堆疊如圖 8.7。堆疊的分配在第二章中已有討論。

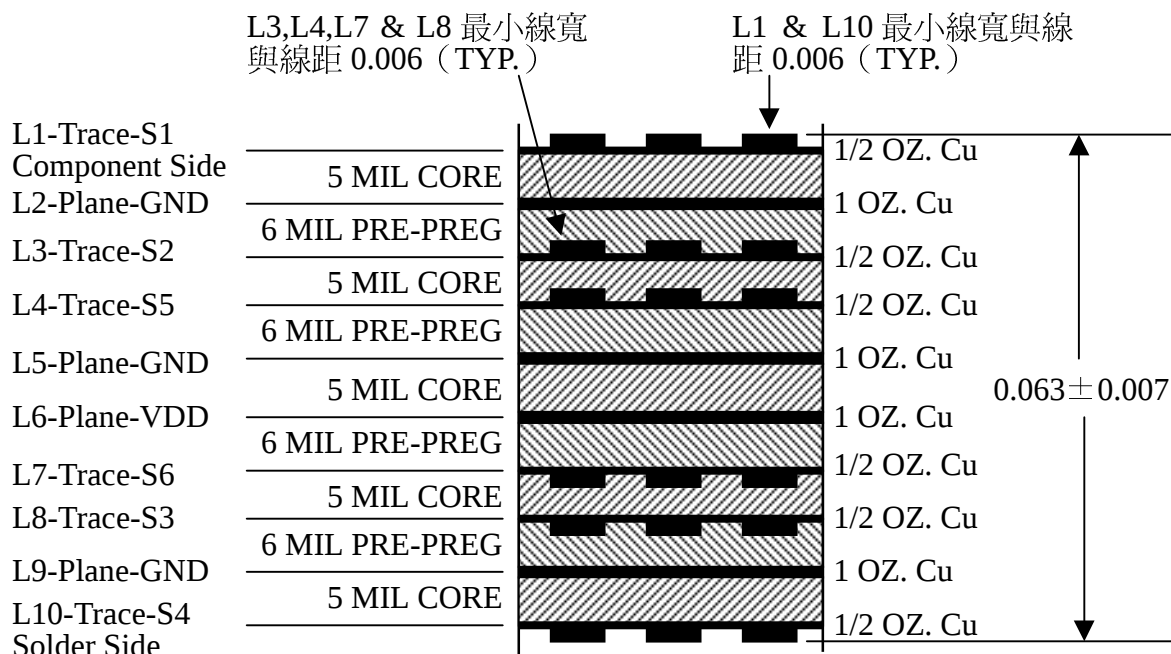


圖 8.7 典型之 10 層堆疊圖

Core 及 Pre-Preg 是參考到使用之材料。Core 材料是裸玻璃纖維板（bare fiberglass）之材料，包含有銅箔層在兩面。Pre-Preg 是黏著材料（epoxy），放在每層 core 中間。在製程中 Pre-Preg 被加熱及壓進定位。Pre-Preg 之厚度決定了 core 層之間的距離，Pre-Preg 必須要與 core 材料有相同的介電係數以達到阻抗控制，在多層板 core 及 Pre-Preg 是交插使用的。

把雙層板視為是多層板的一個子結構。外面的兩層是銅箔層，在兩層銅箔層中間的是 core 材料，圖 8.7 所示的是一 10 層板，其銅箔層、Core、Pre-Preg 厚度有些差異；注意到一點，因在第七層之 S6 直接相鄰於 VDD 平面（第 6 層），因而對雜訊之注入較受影響。

可看到所有的信號層皆為 1/2 盎司之銅箔層，然而電源平面（包括電壓及接地）皆為 1 盎司之銅箔層，對於運作之需求，1 盎司之銅箔層，或是兩倍信號層之厚度，是為必須的，這是因為電源平面必須提供高數目之電流及迴返電流給元件使用。為了防止因平面內部大的電壓降（IR）造成之過熱現象產生，額外的 1/2oz（或 1oz）是必要的。

在多層板，由定義 core 開始。內層一般是電源及接地平面，如果板子總和的高度是 0.0063 吋，四層板的 core 厚度是大於高堆疊數之板子。這是因為，用越多層，在層間之距離就要越小，以維持總和的高度不變；而層間距離越小，trace 之寬度必須要改變以保持適當的阻抗，如第四章之討論。一個對不同堆疊層之高度距離變化如圖 8.8 所示。

在圖 8.8 中，trace 信號（沒有顯示在圖中）是在銅箔層之箔片。這些箔片層皆相鄰於 Pre-Preg 層。因為 Pre-Preg 是一種黏膠，trace 的高度並不會增加層間之分隔距離，因 trace 之厚度會吸收在 Pre-Preg 材料當中。如果使用不同的厚度層時，可適當的調整這些距離，這些距離會因阻抗控制之要求而改變。圖 8.8 是一個典型的堆積疊分配之範例，設計者應提供如此之規格給製造廠去製造。

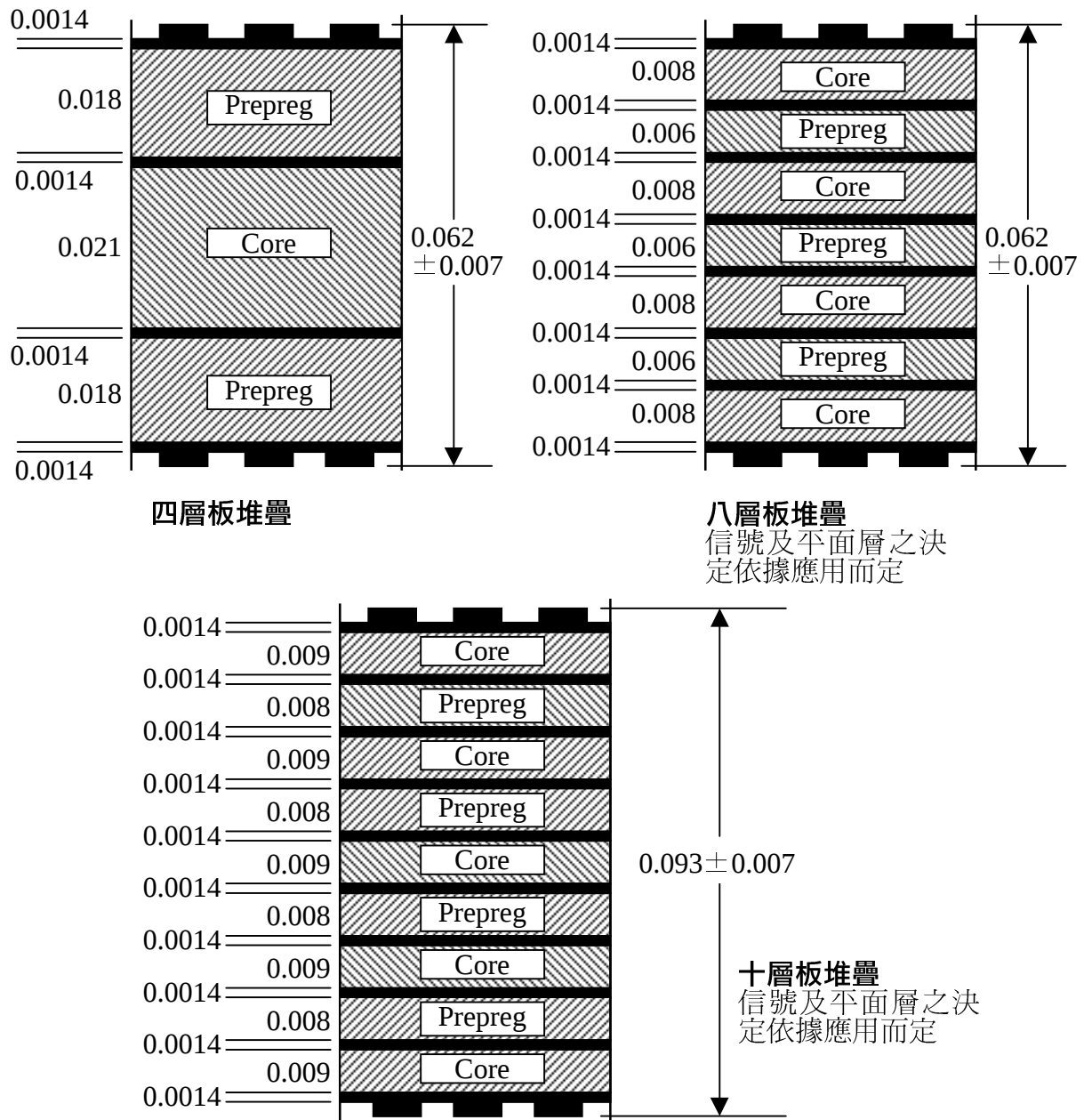
在高速之應用上，將電源及接地平面越靠近越好。這可得到一個內部之去耦合電容，用以移除元件及 trace 產生之 RF 電流。靠近之距離亦可降低電源平面上的電源供應雜訊。

如果有加上額外的平面，使其作為接地平面。通常是有一個電源平面及多數個（兩層、三層、或更多）接地平面。多層電源平面會使得在映像平面中之迴返電流在電源及接地平面間跳躍，在這些平面間產生電壓梯度及迴返通量之相位偏移，這些必須要避免。

如果元件之接地腳在整體板子上的分佈並不夠多的話，以接地貫穿孔在儘量多之位置（越多越好）將多層之接地平面連接在一起。

不要做防焊處理（Solder Mask）於任何的接地銅柱連接處，或是區域化之地平面。這些包括接地點（機殼接地螺絲，gaskets）、I/O bulkhead connector、I/O adapter bracket mounting holes、ESD 護衛帶、Clock 電路 Pads，不論是在元件面或焊錫面皆同。防焊處理會改變機板之介電係數，此介電係數在某些應用可能是很重要的設計考慮。

在送去製作 Film 之前，從 artwork 上移除所有未連接之貫穿孔。所謂未連接之貫穿孔指的是在任何信號層皆沒有連到信號 trace 之貫穿孔。PCB 之設計者在最終 Layout 程序時必須確認此點。當 clock 之 guard trace 因貫穿孔、穿孔元件等之阻礙而繞道時，要確定此貫穿孔在該層沒有連接 trace（應在另外之佈線層才連接 trace）。



註：以上假設 1 盎司之銅箔厚度 0.0014 吋，2 盎司之銅箔厚度 0.0028 吋。
如果功能要求 1/2 盎司，銅箔厚度為 0.0007 吋
如果使用較薄的銅箔層，則層間厚度（Pre-preg）需增加以保持總厚度不變。
如果要作阻抗控制，以上這些尺寸可能依應用及所希望之阻抗而改變。

圖 8.8 詳細之堆疊圖

為了符合安規之要求，必須使用有一定耐燃等級之玻璃纖維等組材料。V-1 及 V-0 為安規能接受之最低耐燃等級之要求標準。製造廠之標幟（logo）、date code、耐燃等級必須要印在裸板上，不論在上層或底層皆可。此標籤之要求僅是針對機板之製造廠的。在組合圖面（assembly drawing）之注意項目中應指出此點。

第 9 章 Design Techniques 摘要—附錄 A

本附錄針對不同之設計程序提供各種的檢核清單 (checklist)，括弧代表相關之章節。

第 1 節 印刷線路板基本構成

1. 使用 microstrip 或 stripline 方式構成系統。
2. 依據應用及 net 之數量來選擇最好之堆疊方式，將所有信號佈線層相鄰於完整之映像平面 (image plane)。(2.1)
3. 在兩層板之場合，將 power 及 ground trace 以輻射狀佈線。(2.1)
4. 由最高速元件至最低速元件以輻射狀依次排列放置。(2.1)
5. 使 power 平面比 ground 平面小 $20\cdot H$ 。(H 為 power 及 ground 之間之厚度)。(2.2)
6. 依產品而選擇適當之接地方式：串聯、並聯、單點、多點接地。(2.3)
7. Clock 在 1MHz 以下之低頻應用，使用單點接地 (audio，類比，電源供應器，等等)；1MHz 以上之高頻應用使用多點接地。(2.3)
8. 減低在下列間之 RF 地迴路：
 - 含有高 RF 能量之電路與系統之地之間。
 - 依功能區分之子系統之間。
 - 多點接地之處。
 - I/O 連線及相關之電路之間。
 - 電源輸入端及系統之地之間。
 - 界面卡連接器及主系統之地之間。
 - 電路板之邊緣。
 - Cable 之隔離線及機殼之地之間。
9. 計算所有接地點之直線距離與 $\lambda/20$ 之比值。接地點間距離要小於 $\lambda/20$ ， λ 為系統所產生之最高頻率之波長。(2.4)
10. 永遠將信號佈線層相鄰於一完整平面 (ground 或 power 平面)。(2.5)
11. 絕對不要將信號線走線到映像平面之中，但如果在相鄰之信號層沒有橫越分割區，則此分割是可以接受的；另外亦要注意地平面之不連續性之影響。(2.5)
12. 絕對不要將三層或更多層之信號線相鄰佈線，每一信號層必須要相鄰於一完整映像平面。(2.5)

13. 將電路板依功能區分成子系統。將高頻區、中頻區、低頻區分開，若可以的話將各區分割 (partition or moat)。(2.6)
14. 每一分割區都要接地至機殼之地，越多越好以減低地迴路。(2.6)
15. 依功能上之要求選擇適合之邏輯族，當可接受較慢速之 edge rate 時，就不要採用高速元件。具高速 edge rate 元件會產生比低速 edge rate 之元件更大許多之高頻帶能量。元件之製造廠通常只定義其最快之 rise 及 fall time 以保證功能正常。有疑問時，實際測量 edge rate，以實測值作為選擇元件之參考。(2.7)
16. 不要使用 socket，以減低元件 trace 長度之電感性。(2.7)
17. 選擇 power 及 ground 腳位於中央之元件，以減小接腳長度感量及與去耦合電容間之地迴路。(2.7)
18. 注意元件接腳之瞬間湧浪電流 (peak inrush current)，此電流會將高頻切換雜訊注入 Power 平面。(2.7)

第 2 節 旁路及去耦合

1. 依使用場所選擇電容：去耦合、旁路、大型 (bulk)。
2. Bypassing 及 decoupling 會影響電路諧振之特性，確定電路是否為串聯、並聯、或並聯 C 串聯 RL，之網路，以計算其諧振頻率。(3.1)
3. 當選擇去耦合電容時，先以功能上之需要考慮邏輯元件之充電來源，同時要考慮把高頻 RF 電流移除之所需之諧振頻率之要求，此高頻 RF 電流來自於在最大電容負載下元件之所有腳同時切換。(3.2)
4. 當為某一特別共振範圍選擇電容時，要算入輻射軸向電容器之腳長度。(3.2)
5. 電容器可 decoupling 高頻電流至其共振頻率處。(過了共振頻率無效果)，在共振頻率之上，電容器變成電感性因而無法去除來自元件之 RF 電流。有些邏輯族具有比一般常用之去耦合電容之共振頻率更高之頻譜能量。(3.2)
6. 在電路富含 RF 能量及 rise time 快於 3ns 之電路上須使用去耦合電容。根據最好之效果及所在意之頻率範圍計算所須之電容值，不要用猜測或是根據以前之習慣用法使用。(3.2)
7. 量測或是計算電路板之 power 及 ground 平面之共振頻率，此二平面就是一去耦合電容。以此二平面構築去耦合電容獲最大效益。(3.2)
8. 對高速元件及蘊含高 RF 帶寬能量之區域，使用多種電容並聯以去除大頻寬之 RF 能量。(3.4)
9. 當選擇並聯電容時，記住當大容值之電容變得電感性時，小容值之電容仍保持電容性。在某一特殊頻率，構成一 LC 電路，造成無限大阻抗因而完全無 decoupling 作用，若此狀況發生，使用單一電容較有效。(3.4)
10. 少數之 decoupling 電容可能會優於許多之 decoupling 電容。(3.4)

11. 對標準 TTL 元件而言，電源平面一般會提供一低共振頻率之去耦合。(3.5)
12. 使電容器之接腳越短越好以減低其接腳長度之電感量。(3.6)
13. 在電路板之所有電源輸入連接器邊、及在 rise time 快於 3ns 之元件邊裝置並聯之電容。(3.7)
14. 選擇 power 及 ground 腳位於中央之元件。(3.7)
15. 使用足夠數量之大型電容器以提供本地化之充電電源似提供電壓及電流，當元件在最大電容負載狀況下所有 pin 同時切換時造成之大量電流需求時是必要的。一般說來，去耦合電容要同時擔負大型 (bulk) 及 RF 電流壓制之角色。(3.7)
16. 在 power 輸入端及板子的對角方向加上大型 (bulk) 電容；同時，在離 power 輸入連接器最遠之處加 bulk 電容，在有大的直流電壓及電流需求之元件邊皆應加上 bulk 電容。Bulk 電容會減小電壓及電流之波動，提高系統之穩定度。(3.7)
17. 對所有電容要考慮，計算其適當之電壓額定值。(3.7)
18. 如果用了太多的 decoupling 電容，會由電源供應器吸引巨大之電流，因此應在 power supply 放一群 bulk 電容以提供其電量。(3.7)

第 3 節 Clock 時脈信號

1. 將 clock 及振盪器放在一分開的時脈產生區域，用一個區域化的地平面及金屬屏蔽 (doghouse) 圍著振盪器及相關的高速、高電流 driver，將 clock 產生電路放置於靠近接地銅柱之處。(4.1)
2. 總是將 clock 電路 (振盪器、晶體、driver) 直接放置在印刷線路板上，不要放在 socket 上。(4.1)
3. 當使用區域性之地平面時，注意以下幾點：(4.2)
 - 將 clock 電路及區域性之地平面放置在金屬接地點旁邊，連接此地平面至機殼之地。
 - 使用很多貫穿孔將此一區域性之地平面連接至電路板之 ground 平面。
 - 不要在此一區域性之地平面上加防焊塗料 (防焊塗料會改變介電係數)。
 - 將支援電路、driver，buffer 及電阻皆放在此一區域性之地平面之中。
4. 對所有的 clock trace 要作阻抗控制。計算 microstrip 及 stripline 之 trace 阻抗。(4.3)
5. 注意信號 trace 之傳輸延遲。(4.4)
6. 計算所有元件之電容負載，使用串聯電阻或尾端 termination。(4.5)
7. 切換速度越高 (信號之 edge rate)，越要注意從 clock driver 端之串聯終端電阻必須等於 trace 之特性阻抗 Z_0 。當 driver 之特性阻抗 Z_s ，加上串聯之終端電阻，等於 trace 之阻抗時，為阻抗最匹配之狀況。(4.5)

8. 對 clock 元件之 decouple 電容，採用共振頻率高於所需要壓制之 clock 諧波頻率之電容，可以用一個或兩個電容並聯。(4.6)
9. 印刷線路板一般說來共振頻率在 200 到 400MHz 之間。利用內含於 Power 平面之去耦合電容效應以獲致最大成效。(4.6)
10. 儘量減少在 clock trace 上之貫穿孔。貫穿孔使 trace 之阻抗增加（約 1-3nH 每個孔）。貫穿孔會改變 trace 阻抗，引起功能不正常或 EMI 輻射。(4.7)
11. Trace 越寬，電路之阻抗越低。(4.7)
12. 不要將 clock 放在靠近 I/O 區域。若 trace 在 I/O 附近 2 吋內，則要儘可能使用最低速之邏輯元件；若 trace 在 I/O 附近 3 吋內，則儘可能使用中速之元件；若有作分割（partition）處理，則不受此限制。(4.7)
13. 保持 trace 之阻抗平衡且長度短，以減低反射現象。(4.8)
14. 將 trace 視為傳輸線設計以減低或防止反射、漣波（ringing）、及產生 common-mode RF 電流。(4.8)
15. 測量所有 clock trace 及高速周期信號之實際佈線長度。確定此長度是否大於計算之最入許可長度，若是，則要加以適當之 termination。(4.9)
16. 如 trace 必須要較長，依據傳輸線理論來佈線。(4.9)
17. 將所有 clock trace 以其特性阻抗來 terminate。(4.9)
18. 將 clock trace 只佈線在單一層上，此一佈線層必須要永遠相鄰於一完整平面。若可能，將 clock 以 stripline 方式佈線，在板子底部之 trace 仍為 microstrip 之方式。(4.10)
19. 不要將 clock 或高頻信號在不同層間跳躍，如此將破壞在 trace 與映像層間之耦合。此種破壞會使得 RF 迴返電流無法完整連續的完成其由 source 至 load 之路徑，如果 clock 勢必要在層間跳躍，在每一個跳躍點邊放一個地的貫穿孔以保持映像平面之完整性。(4.10)
20. Microstrip 允許高速訊號傳輸，但同時也會讓較多之 RF 電流輻射出去。(4.10)
21. Stripline 得到較佳之 RF 電流壓制，但由於在 trace 與圍繞之平面間之電容負載之故，同時會降低信號之 edge rate（在 pico-second 之範圍）。(4.10)
22. 若是單層或雙層板（無 ground 平面），放置一條護衛（guard）trace 圍繞在每一 clock 旁邊，使其間距越小越好（依據 3-W 法則），這樣可減少串音及提供 RF 電流之迴返路徑。(4.11, 4.16)
23. 對高邊緣速率信號，使用兩條 trace 並聯，依 dual stripline 方式佈線，因提供額外的地迴返路徑給 common-mode 電流，達到更佳的 RF 壓制效果。(4.11)
24. 當使用護衛及並聯 trace 時，在整條 trace 上以不規律之間隔連接至地平面。規律的接地會造成調諧電路，使在某一諧波或波長產生共振。(4.11)
25. 同時使用護衛 trace 及並聯 trace，可造成一類似同軸電纜之傳輸線特性。(4.11)

26. 不要在同一護衛 trace 間放兩條不同之信號 trace，可能產生串音，如果信號是成對的 (paired differential)，方可放在同一護衛 trace 之間。(4.11)
27. 護衛 trace 可以降低或消除串音現象。(4.12)
28. 另一個防止串音之方法為將並行信號以 2mils/inch 之間距來佈線。(若並行一吋則間距 2mils，並行 2 吋則間距 4mils)。(4.12)
29. 將所有 clock 線以輻射狀佈線，不要串成一圈。對每一個輻射 trace 給予一個串聯終端電阻，若可能的話，每一個 driver 推動一個元件 (fan-out 為 1)。(4.13)
30. 計算串聯電阻，使大於或等於 driver 元件之輸出阻抗，小於或等於 trace 阻抗。(4.13)
31. Clock 線路不要用叉狀分枝或 T 型分枝，除非很短。(4.13)
32. 根據電路或 trace 之阻抗及網路之共振頻率，對每一 trace 計算其去耦合電容之值，確定信號之 edge rate 不至於降低到不動作之程度。(4.14)
33. 對於 5MHz 以上之頻率或 clock 斜率快於 5ns 的信號，使用振盪器而不要用分立之元件或晶體來產生之。(4.1, 4.15)
34. 對振盪器之外殼要預留附加之接地方式。(4.1, 4.15)
35. 以 3-W 法則來佈線可消除串音。此法則敘述到『trace 間之距離，由中線至中線，必須 3 倍於信號 trace 之寬度，對 dual stripline 而言，一 trace 須為其相對 trace 之 3 倍寬度』。(4.16)

第 4 節 內部連接及輸入輸出

1. 對每一內部連線考慮 EMI 及 ESD 保護。包括前面板顯示燈及控制開關、I/O 連線、電源線、空的卡槽、周邊元件蓋板、介面元件、等等。
2. 將 driver 及控制邏輯元件放置越靠近 I/O 連接器越好，以減低 trace 長度及 common-mode 和 differential-mode 電流之 RF 耦合，在控制邏輯及 I/O 連接器間裝置濾波器。
3. 將 I/O connector 之金屬外殼以 360° 之方式連接到 chassis 之地。
4. 將內部連線及 I/O 電路與高速 RF 頻寬區域分割，尤其是 CPU 部份及快速控制邏輯。
5. 提供 quiet 區域，經由將數位邏輯電路及類比電路分開，以及其相對的 ground 及 power 平面。(5.1)
6. 提供每一個 I/O port 一個隔離及安靜的 ground 或／及 power 平面。(5.1)
7. 預留籬笆 (fence) 之位置，以防止不同區域間之內部輻射 RF 耦合。使用 fence 來控制 EMI 及加強系統穩定性。將 fence 之接地腳與 ground 平面間裝置 decoupling 電容。(5.1)

8. 使用分割或壕溝將 noisy 及 quiet 區域作隔離。壕溝 (moat) 意指在所有層皆沒有銅箔層，在此一分割區兩邊之連接須經由 common-mode choke, data line filter, 隔離變壓器，或是 bridge。只將與此 quiet 區域相關之信號經 filter 佈線進入。將兩端分別以如螺絲之方式接地至 chassis 之 ground。接地會移除在電源平面上，來自於因分割區之間電位差造成之 RF 地雜訊，之 RF 電流成份。(5.2)
9. 使用 data line filter, ferrite 元件，或隔離變壓器，作為 noisy 及 quiet 區域間之連接。(5.2)
10. 在信號及信號迴返路徑上不要使其產生不必要的電感。信號迴返路徑可以是一地平面，此包括電感及 ferrite bead 之使用。Ground 迴返路徑，若用來代替 ground 平面，應 3 倍於 power trace 之寬度。(5.2)
11. 絕對不要將任何 trace 違反或橫越在 moat 之上。將所有進隔離區之 trace 以 bridge 方式進入。(5.2)
12. 將每一 I/O 子系統分割成一單一之功能區。將 serial, parallel, Ethernet, SCSI, video, audio, 等區域分開。(5.2)
13. 在控制邏輯, I/O 子系統, I/O 連接器間，使用 quiet area。此 quiet area 包括 ground 及 power 平面。(5.2)
14. 不要將主動元件及非 I/O 元件放在 quiet area 中。(5.2)
15. 使用電容性或／及電感性之信號線濾波器 (differential-mode 用電容性，common-mode 用電感性)，在每一條 I/O 線上，將濾波元件越靠 I/O connector 越好；注意電感器的內部繞線電容及信號濾波器是否會導致信號誤動作或信號品質降低之問題。(5.3)
16. 注意 bypass 電容的放置位置，在濾波器之前或之後。如果放在 filter 和 I/O connector 之間，選擇耐壓 1500V 之電容以防治 ESD 問題。(5.3)
17. 在 artwork 上預留 bypass 電容於 I/O 電路，如果功能上需要時才加上電容。(5.3)
18. 將 I/O Bracket 直接接到 chassis 之接地，除非是單點接地或須隔離的狀況，並且，連接 I/O Bracket 到印刷電路板 ground 平面。在 Bracket 與 PCB ground 間提供多點之連接，如果在 adapter board 上沒有外接的 I/O 連線，將信號接地與 chassis 固定 bracket 隔離。(5.3)
19. 留意單點及多點接地之位置。(5.3)
20. 對於區域網路，將 data 信號以 common-mode choke 濾波，使用壕溝與主 PCB 間作完全之隔離。注意此 choke 之線間電容會不會超過網路之規格。(5.4)
21. 對 video 信號，在 video controller 及 I/O connector 之間提供一個 π 型濾波線路。將此 π 型濾波線路儘可靠近 I/O connector，將數位之地與類比之地間以電感或 ferrite 隔離。將所能有的類比線路及元件放置在此類比隔離平面區之上。(5.5)
22. 將 audio 區分成三區：數位、類比、及 audio。將數位類比間直接經由在 audio controller 之下的 bridge 來連接或是越近越好，將所有類比數位間之線路經由此

bridge 連接，包括類比之 Power。以另一個壕溝或另外的 data line filter 將類比部份由 audio 部份中隔離出來，不要將 audio 之地連接到機殼或是類比之地。不要將 unshielded 之 audio cable 之信號迴返接到機殼或是類比之地。(5.6)

23. 在所有連接到外的 dc 或 ac 之電源線上加上 fuse。這是安規的要求，使用 cartridge, pico 或 PTC fuse。(5.7)
24. 對帶有高 dc 或 ac 電壓 ($>42.2V$) 之電路上，加大 creepage 及 clearance 之距離，以避免因不正常操作產生之觸電危險，這亦是安規的要求。(5.8)

第 5 節 ESD 靜電放電保護

1. 對所有 I/O cable 提供 ESD 保護（直接加在 I/O connector）。如 spark gaps、Tranzorbs、高電壓電容器、R/C 或 L/C 濾波器，在 ESD 之壓制上，電感性元件較電容性濾波元件較好，使用多層板可增進 ESD 之免疫力。
2. 使用下列技術減低地環路：
 - 將所有 ground 及 power trace 儘可能靠近。
 - 將信號線儘可能靠近 ground。
 - 在整個板子上使用 bypass 電容，處理高及低的 ESD 共振頻率。
 - 將 trace 長度儘量減短。
 - 將板子上不用的區域儘可能的填滿 ground，將這些填起來之 ground 區域以儘量多的貫穿孔連接到 chassis ground。
 - 將 ESD 敏感元件分割 partition moat。
 - 確保所有至 chassis ground 之連接為低阻抗，使用緊密之束縛或旋緊之方式。
 - 內部之 ground 平面應包圍每一個電鍍之貫穿孔以減低地迴路。
3. 裝置一個 ESD 護衛帶（在上層及下層）圍繞板子的周邊以防止 ESD 耦合至邏輯線路。不在 I/O 連接線上產生 discharge 仍可能使系統鎖住 lockup。以每 1/2 時間隔將護衛帶接地至 chassis ground。此能夠提供 ESD 一個低阻抗之能量散逸，在護衛帶上不要加防焊塗層。
4. 把非絕緣之機殼接地與 trace 分開至少 0.22cm (0.09") 之距離。
5. 接到 chassis 之 ground trace 必須要有長寬比 4:1 或更小比例（亦即要夠寬），對所有連接帶（band strap）要求亦同。
6. 將所有濾波器放置在距 I/O connector 越近越好。
7. 如果在板子上 ground 及 power 以格狀分佈，將這些 trace 儘可能多處連接以減低環路面積。
8. 把電源進入板子之 connector 放在遠離邊緣及對 ESD 最不敏感之區域。若可能的話，將電源 connector 放在板子中央。Backplane 之 power connector 不需要如

此要求，因 backplane 通常離 I/O connector 有一段距離。

9. 在 ESD 敏感區域使用映像平面相鄰於每一信號佈線層。
10. 在 ESD 敏感區域使用 ground trace 相鄰於每一信號層。
11. 將非絕緣電路及元件遠離使用者可碰觸之區域、開關、操作者能碰到之無接地之金屬物，至少 2cm 遠。

第 6 節 Backplane and Daughter Cards

1. 選擇適當的腳位分配 (pin assignment) 以達到地迴路控制。分配較多數量之 ground pin 可減少串音、降低輻射、增強信號品質。(7.1)
2. 在整個 Backplane 上之所有 trace 由源頭至負載保持固定阻抗。使用適當之 terminator 以改善信號品質。(7.1)
3. 可能的話，使用有阻抗控制之 connector。(7.1)
4. 對於 backplane 使用儘可能多的 ground plane 及 ground pin。將 backplane 經由直接連接到機殼之地或是在 backplane 之下的機殼平面接 card cage 上。使用 Bypass 電容將電源供應迴返平面及 ac 機殼平面 decouple 至系統（機殼）之地。(7.2)
5. 用多重的信號及地 trace 來設計 backplane。不要將 connector 之相反端之多條迴返地線捆綁在一起成束，會造成大的 RF 迴返電流環路。同時在相鄰之信號 trace 上產生 crosstalk 現象。(7.2)
6. 地迴路以及 trace 間不夠的接地會在 backplane 產生 differential-mode 雜訊，用 ground trace 來相鄰及包圍每一個 clock trace。(7.2)
7. 對 backplane 上之每一佈線層計算及保持適當阻抗。(7.2)
8. 對每一信號層要有一映像層平面相鄰。以儘可能多之貫穿孔將映像層連接在一起。(7.3)
9. 考慮板子最上層為接地層或是信號層。將最上層用作接地層可減低在於 backplane 和 I/O connector 及 adapter card 之間之阻抗不匹配。(7.3)
10. 如果使用很多的 connector slots，要做 worst-case 分析，以了解因集總及分佈電容造成之波形失真程度。對 backplane 提供多處之接地位置，包含將 adapter card 插入 slot 之狀況。(7.3)
11. 檢查是否有高速之 clock 信號在 adapter card 之背面層，其可能耦合至相鄰 adapter card 表層之元件或 trace 上。(7.3)
12. 根據所使用信號速度選擇適當之 interface connector，達到 backplane 及 adapter card 間之阻抗匹配。(7.4)
13. 在設計內部連接時記住以下幾點：
 - ➡ 使所有不連續區越短越好。

- 在放置之空間及腳位上使用儘可能多的 ground 連接。
 - 在 connector 中建立一共同接地。
 - 使用低介電係數 (dielectric-constant) 之基板材料。
 - 保持接地路徑長度與信號及地間越近越好。
14. 擴展 backplane 之大小，使約略大於 mounting bracket 之邊緣 1 吋以上。將 bypass 電容及 cable 之連接放在此區域，以儘量多的連接點將此一 ac chassis plane 接地至 chassis ground，在每一接地位置裝設 bypass 電容。(7.5)
 15. 在相鄰層間之所有 trace 要以正交方式佈線。(水平層相鄰垂直層)(7.5)
 16. 對所有 clock 及信號 trace 避免貫穿孔。可能的話，同信號之 trace 要在同一平面，不要將 clock 信號或高速 trace 串成一環路 (daisy-chain)，採用輻射狀的 clock 分佈。(7.6)
 17. 在 backplane 上，trace 不要使用 T 形分枝。(7.6)
 18. 使所有 trace 越短越好，以防止漣波及反射。(在長 trace 上易產生漣波及反射現象)。(7.7)
 19. 對所有 clock 及信號 trace 以其特性阻抗來作 termination。如果是使用尾端之 terminator 電阻要確定此電阻是該 Bus 之最後的元件，使用可能的最慢速邏輯，將所有 trace 以傳輸線來看待。(7.7)
 20. 要減低 trace 及平面間之串音，使用 3-W 法則，或是將並行之 trace 分開 0.002 吋/每吋長度。(7.8)
 21. 對單層或雙層板，對每一信號線並行一接地線以減低地環路及串音。(7.9)
 22. 在並行的 trace 間加一條信號迴返地線，將此 trace 連接到系統之地。(7.9)
 23. 不要將信號線佈線經過重疊之貫穿孔區域 (重疊之貫穿孔區域會造成映像平面之不連續性)。保持完整之映像平面，可提供一低阻抗之迴返路徑給 RF 迴返電流。若迴返電流必須要繞過 I/O connector 外圍才能完成其迴路的話，會產生大的 RF common-mode 電流。(7.10)

第 7 節 更多的設計技術

第 1 項 轉角之佈線方式

1. 對於快速邊緣速率之元件，佈線時不要使用 90° 彎角。(8.1)

第 2 項 Ferrite 材料之選擇

1. 當選擇 ferrite 材料來壓制 RF 能量時，考慮上以下幾點：(8.2)
 - 基於其表現在線路上之阻抗來選擇 Ferrite 材料。

- 了解 Ferrite 之導磁係數 (Permeability) 來決定其最適用之頻率範圍。
- 改變 core 之大小、形狀、或長度，以改變 ferrite 元件之阻抗值。
- 溫度升高會使阻抗降低及特性劣化。
- 過大之偏壓 (電流量) 會使阻抗降低，因而失去效能。
- 了解是否 dc 或 ac 電流會經過此元件，可能會發生「需要的」信號之過度衰減。
- 可以增加繞線圈數以增加阻抗。

第 3 項 散熱片接地 Grounded Heatsinks

1. 在高速之 VLSI 處理器上 (75MHz 以上)，可能需要一接地的散熱片。(8.3)
 - 將散熱片以一附著之 fence 或 bracket 連接到地平面。
 - 對此散熱片之接地點，在 chip 之四邊以不同數值之並聯去耦合電容器 decouple。
 - 選擇傳導熱量之介電物質，此介電質同時也決定了此散熱片組成之共振頻率，因其構成一 common-mode 去耦合電容。

第 4 項 鋰電池電路 Lithium Battery Circuits

1. 在所有使用鋰電池之應用電路提供反向保護。這是因應安規之要求，這些包括分散的電池、非揮發記憶體、時鐘線路等等。(8.4)

第 5 項 BNC connector

1. 將 BNC 之外殼在最靠近 PCB 之處或其 Bulkhead 處，接至 chassis 之地，提供一個低阻抗至 chassis ground 之路徑，給同軸線外部屏蔽層之 RF 電流。(8.5)
2. 如果使用隔離的 BNC 連接器，不要將外殼或屏蔽層連接至 chassis 之地。以一絕緣材料隔離連接器之基座，要提供 EMI bypass 電容及 ESD 保護。(8.5)
3. 在任何狀況下都不要使用 pigtails (豬尾巴式) 之接法來把 BNC 之外殼或接地 pin 連接到 chassis 之地。(8.5)

第 6 項 Film 底片 (基板材料層)

1. 對基板材料檢驗其阻抗特性，以確定能符合規格。
2. 確立堆疊方式原則以快速決定採用之層數，及決定那些層佈線，那些層作為地平面，那些層作為電源平面。
3. 安置測試點以方便測試及 debug。
4. 確定銅箔層之厚度足供電源分配及減少地彈跳現象。

5. 不要加上防焊塗料在接地連接處。包括接地點、I/O bulkhead 連接器、I/O adapter bracket 固定孔、ESD 護衛帶、及 clock 電路之地 pad、及在最上層及最下層區域性之地平面。
6. 在去製作板子前將沒有用到之貫穿孔（vias）移除。
7. 使用適當的耐火纖維材料，因應安規之要求，通常最起碼為 V-1 材料。